



الجمهورية الجزائرية الديمقراطية الشعبية  
RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE



وزارة التعليم العالي و البحث العلمي

MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET DE LA RECHERCHE SCIENTIFIQUE

جامعة باجي مختار - عنابة

UNIVERSITÉ BADJI MOKHTAR - ANNABA

FACULTÉ DES SCIENCES

DÉPARTEMENT DE PHYSIQUE

LABORATOIRE DES SEMI-CONDUCTEURS

## THÈSE

Présentée en vue de l'obtention du diplôme de

## DOCTORAT

Filière : Physique

Spécialité : Physique des Matériaux et Composants

**Investigation de la structure SOI MESFET via SILVACO**

Par :

**Lamia ABID**

Devant le jury :

<b>Président:</b>	TOUAM Tahar	Professeur	UBM-Annaba
<b>Directeur de Thèse:</b>	DOGHMANE Abdellaziz	Professeur	UBM-Annaba
<b>Examineurs:</b>	MEDDOUR Athmane	Professeur	Univ. 8 Mai 1945 Guelma
	HADJOUJJA Bouzid	Professeur	UBM-Annaba

Année Universitaire : 2022/2023

# *Dédicaces*

*A mes parents*

*A mon Mari*

*A mon fils*

*A mes sœurs*

*A mon grand père*

*A ma Chère Enseignante Professeure Zahia Hadjoub*

*A ma chère amie Nour Elimene Abdaoui*

*A ma famille*

*A mes amis*

# *Remerciements*

Ce travail a été réalisé au Laboratoire des Semi-Conducteurs, LSC, Faculté des Sciences, Département de Physique à l'Université Badji Mokhtar – Annaba, UBMA. Je tiens dans un premier temps à remercier le Directeur du LSC, Monsieur Abdellaziz DOGHMANE, Professeur à l'UBMA, pour m'avoir accueillie au sein du Laboratoire et m'avoir permise de travailler dans de bonnes conditions qui m'ont incité à m'investir pleinement. Comme, je remercie très vivement tous ceux qui m'ont tendue la main pour faire progresser cette étude.

Je remercie Madame Zahia HADJOUR, Professeure à l'UBMA, pour m'avoir encadrée pendant les cinq années précédentes. Je ne pouvais pas être plus chanceuse. Je la remercie vivement pour sa disponibilité, son aide et ses conseils. Aussi, je voudrais la remercier pour sa pédagogie, sa patience et pour les discussions fructueuses que nous avons entretenues lors de la réalisation de ce travail. Elle m'a initié à la recherche dans le domaine des composants à semi-conducteurs et elle a assuré un suivi permanent des travaux réalisés. Qu'elle trouve ici le témoignage de ma gratitude et qu'elle soit assurée de mes meilleures considérations.

Également, je tiens à exprimer tous mes remerciements et mon profond respect à Monsieur Abdellaziz DOGHMANE, Professeur à l'UBMA, qui a accepté d'assurer la continuité de mon encadrement, après le départ de Prof. Z. HADJOUR en retraite. C'est avec un grand dynamisme, beaucoup de qualités scientifiques et de confiance qu'il a suivi la phase de rédaction de cette thèse. Qu'il soit assuré de mon profond respect et de ma reconnaissance.

J'exprime ma profonde gratitude et mes sincères remerciements à Monsieur Tahar TOUAM, Professeur à l'UBMA, Doyen de la Faculté des Sciences de l'UBMA, pour l'honneur qu'il me fait en acceptant de présider le jury de cette thèse.

Je tiens également à remercier vivement les membres du jury :

Monsieur Athmane MEDDOUR, Professeur à l'université 8 mai 1945 – Guelma et Doyen de la Faculté de Mathématiques, de l'Informatique et des Sciences de la Matière qui a accepté de se déplacer pour participer au jury et examiner ce travail malgré ses multiples tâches .

Monsieur Bouzid HADJOUJJA, Professeur à l'Université Badji Mokhtar – Annaba, pour les enseignements qu'il nous a prodiguée autrefois et pour avoir accepté d'évaluer les travaux de cette thèse.

Également, je remercie infiniment ma collègue M<sup>elle</sup> Nour Elimene Abdaoui qui m'a accompagnée dans ce parcours. Je la remercie de m'avoir aidée à approfondir ma compréhension du Logiciel ATLAS de SILVAVO et pour nos discussions utiles au cours de la réalisation de travail. Bien sûr, je n'oublierai pas de remercier tous ceux qui m'ont apporté leur concours ou leur aide et je cite particulièrement tous les membres, enseignants et doctorants, du Laboratoire des Semi-Conducteurs.

Enfin, un très grand merci à ma famille pour leurs encouragements et leur soutien qui m'ont supporté au cours des années d'études avec beaucoup d'amour et de soutien.

## دراسة البنية SOI MESFET بواسطة SILVACO

### من طرف لمياء عبيد

يتميز ترنزستور SOI MESFET (ترنزستور سيليسيوم فوق عازل) بالعديد من الخصائص الهامة، ما جعل منه الأكثر استعمالاً في تطبيقات مختلفة. في الواقع، من خلال إجراء تعديلات على بنيته الكلاسيكية، يمكننا تحسين أدائه في DC و RF. نقترح في هذا العمل بنية جديدة، تتكون من: (أ) ثلاثة مناطق متساوية على شكل  $\Pi$  مكونة من Si نوع n ومدرجة في الجزء العلوي من الأكسيد المدفون، (ب) منطقة أخرى على شكل  $\Pi$  و تتركب من  $Si_3N_4/Si-p$  موضوعة على حافة البوابة من ناحية المصرف. الهدف الرئيسي من هذه البنية هو التحكم في تجانس خطوط المجال الكهربائي المتراكمة على حافة البوابة من جهة المصرف وبالتالي تحسين عدة وسائط مهمة منها: جهد الانهيار، تيار المصرف، السعات الطفيلية مصرف - بوابة و منبع - بوابة، كثافة استطاعة الخروج القصوى، إلخ. لدراسة البنية الجديدة المقترحة Multi  $\Pi$ -SOI MESFET ومقارنتها بالبنية الكلاسيكية C-SOI MESFET، اعتمدنا في هذا البحث على برنامج المحاكاة ثنائي الأبعاد ATLAS-SILVACO. أظهرت النتائج المتحصل عليها أن المناطق الثلاثة من Si نوع n التي تم إدراجها في الأكسيد المدفون أدت إلى زيادة تيار المصرف في نظام التشبع بنسبة % 23,5. بالإضافة إلى ذلك، تحصلنا على جهد الانهيار،  $V_{BR}$ ، مساوٍ لـ 13,5 V بالنسبة للبنية Multi  $\Pi$ -SOI MESFET بينما يساوي 10 V بالنسبة للبنية الكلاسيكية C-SOI MESFET. كذلك، تم الحصول على نقصان في السعات: بوابة - مصرف و بوابة - منبع و ذلك ناتج عن تغيير منطقة الإستنزاف بواسطة الوصلة الغير متجانسة، المُدرجة عند حافة البوابة. بالإضافة لذلك، تم تحسين كل من كثافة استطاعة الخروج القصوى و الربح في الطاقة بنسبة % 54 و % 23,7 على التوالي. كما تحصلنا أيضاً على تناقص في معامل الضجيج الأدنى بنسبة % 55,5 عند تردد 45 GHz. توضح هذه النتائج أنه يمكن اعتبار البنية المقترحة Multi  $\Pi$ -SOI MESFET مركبة جد هامة بإمكانها تعويض C-SOI MESFET في العديد من التطبيقات عالية الجهد و الطاقة و التردد.

الكلمات المفتاحية: Multi  $\Pi$ -SOI MESFET، ATLAS-SILVACO، الخصائص DC و RF.

## **Investigation of SOI MESFET structure via SILVACO**

*Par Lamia ABID*

### **Abstract**

Silicon On Insulator Metal Semiconductor Field Effect Transistors (SOI MESFETs) possess promising characteristics that are very adequate to numerous applications. In fact, by modifying their structure one can improve their DC and RF performances. In this work, we propose a new structure consisting of (i) three equal  $\Pi$ -shaped regions in n-type Si inserted in the upper part of the buried oxide and (ii) another  $\Pi$  shaped region,  $\text{Si}_3\text{N}_4/\text{p-Si}$ , at the edge of the gate towards the drain side. The main objective from this structure is to control the uniformity of the bulk of the electric field lines accumulated at the edges of the gate on the drain side and then to optimize certain important parameters such as the breakdown voltage, the drain current, the gate-drain and gate source parasitic capacitances, maximum output power density, etc. The investigation of the proposed Multi- $\Pi$  SOI MESFET structure and its comparison to conventional C-SOI MESFET was carried out via the 2D numerical simulations using ATLAS simulator from SILVACO. The obtained results showed that the three n-type regions introduced into the buried oxide increase the drain current in the saturation regime by about 23.5%. Moreover, a breakdown voltage,  $V_{\text{BR}}$ , of 13.5 V is obtained for the Multi  $\Pi$ -SOI MESFET while it is only equal to 10 V for the C-SOI MESFET. A reduction in the gate-source and gate-drain parasitic capacitances was also obtained due to the depletion region modification by the hetero-junction inserted at the gate edge. Furthermore, the maximum output power density and the unilateral power gain were improved by about 54% and 23.7%, respectively. We also found that the minimum noise figure is reduced by 5.55% at a frequency of 45 GHz. These results show that the proposed Multi  $\Pi$ -SOI MESFET structure can be considered as an outstanding device that replaces the C-SOI MESFET in various high-voltage, high-power and high-frequency applications.

**Key words:** Multi  $\Pi$  SOI-MESFET, ATLAS-SILVACO, DC & RF characteristics.

## Investigation de la structure SOI MESFET via SILVACO

*Par Lamia ABID*

### Résumé

Le transistor SOI MESFET (*Silicon On Insulator Metal Semiconductor Field Effect Transistor*) possède des caractéristiques prometteuses qui le rendent très approprié pour de nombreuses applications. En effet, par modifications de sa structure classique, on peut améliorer ses performances DC et RF. Dans ce travail, nous proposons une nouvelle structure composée de (i) trois régions égales en forme de  $\Pi$  en Si de type n insérées dans la partie supérieure de l'oxyde enterré et (ii) une autre région, toujours en forme de  $\Pi$ ,  $\text{Si}_3\text{N}_4/\text{p-Si}$ , positionnée au bord de la grille, côté drain. L'objectif principal de cette structure est de contrôler l'uniformité des lignes de champ électrique accumulé au bord de la grille du côté drain et d'optimiser certains importants paramètres tels que la tension de claquage, le courant de drain, les capacités grille-source et grille-drain, la densité de puissance de sortie maximale, etc. L'étude de cette nouvelle structure, Multi  $\Pi$ -SOI MESFET, et sa comparaison avec la structure conventionnelle, C-SOI MESFET ont été réalisées via des simulations numériques à 2D à l'aide du simulateur ATLAS de SILVACO. Les résultats obtenus ont montré que les trois régions de type n introduites dans l'oxyde enterrée augmentent le courant de drain en régime de saturation d'environ 23,5 %. De plus, une tension de claquage,  $V_{BR}$ , de 13,5 V est obtenue pour le Multi  $\Pi$ -SOI MESFET alors que  $V_{BR}$  est seulement égal à 10 V pour la C-SOI MESFET. Une réduction des capacités grille-source et grille-drain a été obtenue grâce à la modification de la zone de déplétion par l'hétérojonction, insérée au bord de la grille. Par ailleurs, la densité de puissance de sortie maximale et le gain de puissance ont été améliorés respectivement de 54 % et 23,7 %. Également, nous avons obtenu une diminution du facteur de bruit minimum de 5,55 % à une fréquence de 45 GHz. Ces résultats montrent que la structure Multi  $\Pi$ -SOI MESFET proposée peut être considérée comme un composant exceptionnel qui remplace le C-SOI MESFET dans diverses applications en haute tension, haute puissance et haute fréquence.

**Mots clés :** Multi  $\Pi$ -SOI MESFET, ATLAS-SILVACO, Caractéristiques DC & RF.

# SOMMAIRE

ملخص	I
Abstract	II
Résumé	III
Sommaire	VI
Liste des figures	VII
Liste des tableaux	XI
Liste des abréviations et symboles	XII
<b>Introduction générale</b>	<b>1</b>
<b>Chapitre I :</b>	
<b>Technologie SOI MESFET et simulateur ATLAS de SILVACO</b>	
I.1 Introduction	8
I.2 Plaquette SOI	9
I.3 Procédés de fabrication des plaquettes SOI	10
I.3.1 Silicium sur saphir	10
I.3.2 Séparation par implantation d'oxygène	11
I.3.3 Technologie coupe fine	12
I.3.4 Collage de plaquettes et décapage arrière	13
I.4 Avantages de la technologie SOI	14
I.4.1 Réduction des capacités parasites	14
I.4.2 Faible courant de fuite	14
I.4.3 Réduction du courant d'ionisation	15
I.5 Inconvénients de la technologie SOI	15
I.5.1 Faible tension de claquage	15
I.5.2 Effets de coude	15
I.5.3 Effets d'auto-échauffement	16
I.6 SOI MESFET conventionnel	16
I.6.1 Description de la structure	16
I.6.2 Calcul du potentiel du canal	18
I.7 Logiciel de simulation TCAD-SILVACO	23
I.7.1 Description de TCAD-SILVACO	23
I.7.2 Outils de simulation	23
I.7.3 Outils interactifs	24
I.8 Simulateur ATLAS de SILVACO	25
I.8.1 Description du simulateur ATLAS	25
I.8.2 Entrées et sorties dans ATLAS	26
I.8.3 L'ordre des commandes dans ATLAS	27
I.8.4 Équations fondamentales du simulateur ATLAS	28
I.9 Conclusion	29
Références	30

## Chapitre II: Structure et caractéristiques de différents SOI MESFET

II.1 Introduction	34
II.2 Étude de la structure SO-ED-SOI MESFET	35
II.2.1 Description de la structure	35
II.2.2 Distribution du champ et la tension de claquage	35
II.2.3 Variation du courant de drain	36
II.2.4 Performances RF	37
II.3 Étude du composant MGC-SOI MESFET	37
II.3.1 Description de la structure	37
II.3.2 Concentration des porteurs et tension de claquage	38
II.4 Étude du composant T-SOP-SOI MESFET	39
II.4.1 Description de la structure	39
II.4.2 Distribution du champ électrique et tension de claquage	40
II.4.3 Effet de la fréquence sur le gain	41
II.4.4 Fréquence de coupure et fréquence d'oscillation maximale	42
II.5 Nouveau SOI MESFET à haute tension	42
II.5.1 Description de la structure	42
II.5.2 Distribution du champ électrique et tension de claquage	43
II.5.3 Conductance drain-source	44
II.6 Étude du transistor TT-SOI MESFET	45
II.6.1 Description de la structure	45
II.6.2 Distribution des lignes du potentiel et tension de claquage	45
II.6.3 Caractéristiques de sortie	46
II.6.4 Effets de l'auto-échauffement	47
II.7 Étude du composant SPL-DE SOI MESFET	48
II.7.1 Description de la structure	48
II.7.2 Distribution des lignes de champ et tension de claquage	48
II.7.3 Caractéristique radiofréquence	50
II.8 Étude du transistor POML-SOI MESFET	50
II.8.1 Description de la structure	50
II.8.2 Distribution des lignes de potentielle	51
II.8.3 Courant de drain et puissance de sortie	52
II.8.4 Capacité grille – drain	52
II.9 Étude du SOI MESFET à contact de grille décalé	53
II.9.1 Description de la structure	53
II.9.2 Distribution des lignes du potentiel dans la structure	54
II.9.3 Caractéristique de sortie et densité de courant	55
II.10 Étude du composant SPC- SOI MESFET	56
II.10.1 Description de la structure	56
II.10.2 Distribution du champ électrique et courant de drain	57
II.10.3 Distribution des lignes de champ électrique	58
II.11 Étude du composant PGDW-SOI MESFET	59
II.11.1 Description de la structure	59
II.11.2 Tension de claquage et puissance maximale de sortie	59
II.11.3 Effet du coude	60
II.11.4 Caractéristique radio fréquence	60
II.12 Conclusion	61
Références	62

**Chapitre III :**  
**Nouvelle structure Multi II-SOI MESFET : Conception,**  
**caractéristiques et performances**

III.1 Introduction	66
III.2 Description de la structure Multi II-SOI MESFET	67
III.3 Procédé technologique de fabrication de la structure Multi II-SOI MESFET	70
III.4 Différentes étapes de simulation	72
III.4.1 Spécification de la structure	72
III.4.2 Spécification des paramètres et des matériaux	75
III.4.3 Spécification des modèles physiques	76
III.4.4 Spécification de Solution	77
III.5 Distribution du champ électrique et du potentiel	77
III.6 Caractéristiques du nouveau dispositif	81
III.7 Tension de claquage	85
III.8 Capacité d'accès	87
III. 9 Gain de puissance unilatéral et facteur de bruit	89
III.9.1 Gain de puissance unilatéral	89
III.9.2 Facteur de bruit minimum	90
III.10 Conclusion	91
Références	92
<b>Conclusion générale</b>	<b>95</b>

## LISTE DES FIGURES

### Chapitre I

Figure	Titre	Page
Figure I.1	Vue en coupe transversale d'une structure SOI.	9
Figure I.2	Structures des substrats en Si-massif et SOI.	10
Figure I.3	Représentation schématique de la méthode SIMOX.	11
Figure I.4	Description du procédé Smart Cut	12
Figure I.5	Collage de couches de Si oxydé (à gauche) et polissage/gravure de l'une d'elles.	13
Figure I.6	Évolution du courant de fuite en fonction de la température.	14
Figure I.7	Section transversale du SOI MESFET conventionnel.	17
Figure I.8	Vue schématique en coupe du SOI MESFET à canal court.	19
Figure I.9	Editeur DECKBUILD du Logiciel TCAD-SILVACO.	25
Figure I.10	Entrées et sorties d'ATLAS.	27
Figure I.11	Ordre des commandes dans ATLAS.	28

### Chapitre II

Figure	Titre	Page
Figure II.1	Section schématique transversale de la structure SO-ED-SOI MESFET.	35
Figure II.2	Distribution du champ électrique le long de la ligne de coupe AA' pour C-SOI MESFET et SO-ED-SOI MESFET.	36
Figure II.3	Comparaison de la densité de courant totale : (a) de la structure conventionnelle et (b) de SO-ED-SOI MESFET à $V_{GS} = 0.5 \text{ V}$ , $V_{DS} = 5 \text{ V}$ .	37
Figure II.4	Section schématique transversale de MGC-SOI MESFET.	38
Figure II.6	Section schématique transversale de T-SOP-SOI MESFET.	39
Figure II.7	Champ électrique normalisé le long de la surface du dispositif pour les structures C-SOI MESFET et T-SOP-SOI MESFET.	40

Figure II.8	Distribution bidimensionnelle des lignes du champ électrique pour : (a) C-SOI MESFET et (b) T-SOP-SOI MESFET à $V_{GS} = 5 \text{ V}$ et $V_{DS} = 10 \text{ V}$ .	41
Figure II.9	Variation de $U$ , $H_{21}$ et $MAG$ en fonction de la fréquence pour les structures conventionnelle et proposée.	41
Figure II.10	Section schématique transversale de la structure proposée.	42
Figure II.11	Distribution du champ électrique le long de la ligne de coupe AA' pour la structure proposée et le C-SOI MESFET à $V_{DS} = 5$ et $V_{GS} = -2,5 \text{ V}$ .	43
Figure II.12	Caractéristiques $I_{DS}(V_{DS})$ du C-SOI MESFET conventionnel et de la structure proposée à $V_{GS} = -2,5 \text{ V}$ et $V_{DS} = 5 \text{ V}$ .	44
Figure II.13	Conductance drain-source en fonction de la tension de grille pour la structure proposée et C-SOI MESFET à $V_{DS} = 5 \text{ V}$ et $f = 100 \text{ MHz}$ .	44
Figure II.14	Conductance drain-source en fonction de la tension de grille pour la structure proposée et C-SOI MESFET à $V_{DS} = 5 \text{ V}$ et $f = 100 \text{ MHz}$ .	45
Figure II.15	Distribution bidimensionnelle des lignes du potentiel à $V_{GS} = -2.5 \text{ V}$ et $V_{DS} = 8 \text{ V}$ pour (a) C-SOI MESFET et (b) TT-SOI MESFET.	46
Figure II.16	Caractéristique $I_{DS}(V_{DS})$ pour TT-SOI MESFET et C-SOI MESFET.	46
Figure II.17	Variation de la température du réseau globale en fonction de la tension de drain pour le TT-SOI MESFET et la structure simple.	47
Figure II.18	Section schématique transversale de la structure SPL-DE SOI MESFET.	48
Figure II.19	Distribution normalisée du champ électrique le long de la surface du SPL-DE SOI MESFET et le C-SOI MESFET.	49
Figure II.20	Evolution du courant de drain en fonction de la tension de drain pour le SPL-DE-SOI MESFET et C-SOI MESFET.	49
Figure II.21	Variation de la transconductance en fonction de la fréquence pour le SPL-DE-SOI MESFET et le C-SOI MESFET.	50
Figure II.22	Section transversale de la structure POML-SOI MESFET.	51
Figure II.23	Contours d'équipotentiels simulés à $V_{DS} = 10 \text{ V}$ , $V_{GS} = -5 \text{ V}$ pour (a) POML-SOI MESFET et (b) C-SOI MESFET.	52
Figure II.24	Capacité grille-drain à différentes tensions grille-source pour POML-SOI MESFET et C-SOI MESFET.	53
Figure II.25	Section transversale de la structure proposée.	54
Figure II.26	Distribution bidimensionnelle des lignes du potentiel à $V_{DS} = V_{BR}$ , pour (a) C-SOI MESFET et (b) structure proposée.	54
Figure II.27	Comparaison de la densité de courant totale des structures : (a) conventionnelle et (b) nouvelle à $V_{GS} = -3 \text{ V}$ , $V_{DS} = 5 \text{ V}$ .	55
Figure II.28	Courant de drain en fonction de la tension drain-source pour les deux structures.	56
Figure II.29	Vue en coupe transversale de la structure SPC-SOI MESFET.	57

Figure II.30	Distribution du champ électrique le long de la ligne de coupe AA' à $V_{DS} = V_{BR}$ et $V_{GS} = -1V$ .	57
Figure II.31	La distribution bidimensionnelle des lignes de champ électrique à la tension de claquage et $V_{GS} = -1V$ pour (a) C-SOI MESFET et (b) SPC-SOI MESFET.	58
Figure II.32	Vue en coupe transversale de la structure PGDW-SOI MESFET.	59
Figure II.33	Variation de la concentration des trous le long de la ligne de coupe horizontale AA' à $V_{GS} = -1V$ et $V_{DS} = 6V$ .	60

### Chapitre III

Figure	Titre	Page
Figure III.1	(a) Coupe transversale de la structure Multi II-SOI MESFET, (b) Région II au bord de la grille et (c) Régions II en Si dans l'oxyde enterré.	68
Figure III.2	Étapes du processus de fabrication de la structure Multi II-SOI-MESFET.	71
Figure III.3	Maillage à deux dimensions pour la structure Multi II-SOI MESFET.	72
Figure III.4	Définition des régions et des matériaux pour la structure Multi II-SOI MESFET.	73
Figure III.5	Définition des électrodes pour la structure Multi II-SOI MESFET.	74
Figure III.6	Définition du dopage du substrat, canal, des régions II et des contacts de la structure Multi II-SOI MESFET.	75
Figure III.7	Distribution du champ électrique de l'extrémité gauche vers la droite du C-SOI MESFET et du Multi II-SOI MESFET.	78
Figure III.8	Répartition bidimensionnelle des lignes de champ électrique à $V_{GS} = -3,25V$ et $V_{DS} = 10V$ pour : (a) C-SOI MESFET et (b) Multi II-SOI MESFET.	79
Figure III.9	Répartition bidimensionnelle des lignes du potentiel à $V_{GS} = -3,25V$ et $V_{DS} = 10V$ pour : (a) C-SOI MESFET et à $V_{GS} = -3,25V$ et $V_{DS} = 13.5V$ pour (b) Multi II-SOI MESFET.	80
Figure III.10	Caractéristiques $I_{DS}(V_{DS})$ de la structure proposée (●, ■, ▲, ☆) et celles du C-SOI MESFET (○, □, ▷, ☆) à différentes tensions $V_{GS}$ .	81
Figure III.11	Caractéristiques $I_{DS}(V_{GS})$ à $V_{DS} = 8V$ pour la structure proposée (●●●) et C-SOI MESFET (○○○)	82
Figure III.12	Mobilité électronique à $V_{GS} = -0,5V$ et $V_{DS} = 8V$ de la structure proposée (●●●) et C-SOI MESFET (○○○) le long de la ligne de coupe à $0,195\mu m$ de la surface dans le canal.	83
Figure III.13	Distribution bidimensionnelle de la densité totale du courant à $V_{GS} = -1V$ et $V_{DS} = 10V$ pour (a) C-SOI MESFET et (b) Multi II-SOI MESFET.	

Figure III.14	Caractéristiques du claquage pour la structure proposée (●●●) et la structure C-SOI MESFET (○○○) à $V_{GS} = -3,25$ V.	86
Figure III.15	Évolution de la capacité : (a) grille-drain et (b) grille-source de la structure proposée (●, ■) et C-SOI MESFET (○, □) à $V_{DS} = 8$ V pour $V_{GS} = -0,5$ V (●, ○) et $V_{GS} = 0$ V (■, □).	88
Figure III.16	Comparaison du gain en puissance unilatérale pour la structure proposée (●●●) et C-SOI MESFET (○○○) à $V_{GS} = -0,5$ V et $V_{DS} = 8$ V.	89
Figure III.17	Évolution du facteur de bruit minimum en fonction de la fréquence pour la structure proposée (●●●) et C-SOI MESFET (○○○) à $V_{GS} = -0,5$ V et $V_{DS} = 8$ V.	90

## LISTE DES TABLEAUX

<b>Tableau</b>	<b>Titre</b>	<b>Page</b>
<b>Tableau I.1</b>	Valeurs des paramètres géométriques et technologiques de la structure C-SOI MESFET.	17
<b>Tableau I.2</b>	Conditions aux limites pour SOI MESFET classique à canal court.	19
<b>Tableau III.1</b>	Valeurs des paramètres géométriques et technologiques des régions $\Pi$ insérées dans le canal et dans l'oxyde enterré.	69

## LISTE DES ABREVIATIONS ET SYMBOLES

Symbole/ Abréviation	Signification
$a_c$	Épaisseur du canal
AC	<i>Alternating Current</i>
$A_n$	Coefficients de la série de Fourier
$a_s$	Épaisseur du substrat
BESOI	<i>Bonded and Etched Back Silicon On Insulator</i>
BJT	<i>Bipolar Junction transistors</i>
BOX	<i>Burried oxide</i>
$B_n$	Coefficient de la série de Fourier
$C_{GD}$	Capacité grille–drain
$C_{GS}$	Capacité grille-source
$C_{ox}$	Capacité de l'oxyde enterré
cm	Centimètre
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CMP	<i>Chemical Mechanical Planarization</i>
C-SOI MESFET	<i>Conventional Silicon On Insulator Metal Semiconductor Field Effect</i>
$C_{si}$	Capacité du film de silicium
$d$	Distance entre les parties inférieures de la région II dans le canal
$D$	Distance des 3 premières régions II dans le BOX du côté gauche
dB	Décibel
DC	<i>Direct Current</i>
$D_n$	Constante de diffusion des électrons
$D_p$	Constante de diffusion des trous
$e_1$	Épaisseur de la partie supérieure de la région II dans le canal
$e_2$	Épaisseur des parties inférieures de la région II dans le canal
$e_3$	Épaisseur des parties supérieure et inférieure des régions 3II
$\vec{E}_c$	Champ électrique critique
$E_{max}$	Champ électrique maximale
F	Fréquence
FBE	<i>Floating Body Effect</i>
$f_{bi}$	Tension interne de la barrière Schottky de grille
FET	<i>Field Effect Transistor</i>

$f_{\max}$	Fréquence maximale d'oscillation
$F_{\min}$	Facteur de bruit minimal
$f_t$	Fréquence de coupure
GHz	Gigahertz
$g_m$	Transconductance
$G_n$	Taux de génération des électrons
$G_p$	Taux de génération des trous
$h$	Longueur de la partie supérieure de la région II dans le canal
$h_1$	Longueur de la partie inférieure de la région II dans le canal
$H_{21}$	Gain en courant
HfO <sub>2</sub>	Oxyde d'hafnium
$h(x)$	Épaisseur de la zone dépeuplée
IC	<i>Integrated Circuit</i>
$I_{DS}$	Courant drain-source
$J_n$	Densité de courant des électrons
$J_p$	Densité de courant des trous
$K_n$	Facteur dépendant de la technologie
$L_D$	Longueur de drain
$L_G$	Longueur de grille
$L_{GD}$	Longueur de l'espacement grille-drain
$L_{GS}$	Longueur de l'espacement grille-source
$L_s$	Longueur de la source
LSI	<i>Large Scale Integration</i>
MAG	Gain maximum disponible
MESFET	<i>Metal Semiconductor Field Effect Transistor</i>
MGC-SOI ..	<i>Modified Gate Capacitances-SOI ....</i>
MHz	Mégahertz
MV	Mégavolt
$n$	Densité des électrons
$n^+$	Dopage élevé de type n.
$N_A$	Concentration des atomes accepteurs
$N_D$	Concentration des atomes donneurs
Ni	Nickel
$p$	Densité des trous
$P_{\max}$	Densité de puissance maximale
pn	Jonction
$q$	Charge électronique

GDW-SOI ...	<i>Protruded Gate and Dual Wells-SOI ...</i>
POML-SOI ...	<i>Parallel Oxide Metal Layers-SOI ...</i>
R	Résistance du canal
$R_D$	Résistance d'accès (côté drain)
$R_{DS}$	Résistance drain-source
RF	<i>Radio-Frequency</i>
$R_G$	Résistance de grille
$R_n$	Taux de recombinaison des électrons
$R_p$	Taux de recombinaison des trous
$R_s$	Résistance d'accès (coté source)
SHE	<i>Self Heating</i>
Si	Silicium
SILVACO	<i>Silicon Valley Corporation</i>
SIMOX	<i>Separation by Implanted Oxygen</i>
$SiO_2$	Dioxyde de silicium
$Si_3N_4$	Nitrure de silicium
SOI	<i>Silicon On Isulator</i>
SO-ED-SOI ...	<i>Symmetrical Oxide Boxes and Extended Drift Region-SOI ...</i>
SOS	<i>Silicon On Sapphire</i>
SPC-SOI ...	<i>Spread Potential Contours towards the drain-SOI ...</i>
SPL-DE-SOI...	<i>Separator P-type Layer Doping Engineering-SOI ...</i>
TCAD	<i>Technology Computer Aided Design –</i>
$t_{ox}$	Épaisseur de la région de BOX
$t_{si}$	Épaisseur du canal
T-SOP-SOI ...	<i>T-Shaped Oxide Part-SOI ...</i>
TT-SOI ...	<i>Triple Trenches-SOI ...</i>
U	Gain en puissance unilatérale
U(x,y)	Équation de Laplace à 2-D
V	Volt
$V_{bi}$	Tension interne de la jonction canal-source (drain)
$V_{BS}$	Polarisation du substrat
$V_{DS}$	Tension drain-source
$V_{DSsat}$	Courant de saturation de drain
$V_{fb}$	Tension de la bande plate de l'oxyde arrière
$V_{GS}$	Tension de grille
$V_{Knee}$	Tension de coude
VLSI	<i>Very Large Scale Integration</i>
$V_{th}$	Tension du seuil

$V(y)$	Somme des solutions de l'équation de Poisson à 1-D
VWF	<i>Virtual Wafer Fabrication</i>
T	Lettre T inversée
X	Position selon l'axe longitudinal
Y	Position selon l'axe transversal
Z	Largeur du canal
1-D	Une dimension
2-D	Deux dimensions
3-D	Trois dimensions
$\epsilon$	Permittivité
$\epsilon_{ox}$	Permittivité de l'oxyde enterré
$\epsilon_{si}$	Constante diélectrique du silicium
$\epsilon_{SiO_2}$	Permittivité de nitrure de silicium
$\epsilon_r$	Permittivité relative
$\mu_n$	Motilité des électrons
$\mu_p$	Motilité des trous
P	Densité des trous
$\Psi$	Potentiel électrostatique,
$\Phi_m$	Travail de sortie du nickel (métal de la grille)
$\Phi_{min}$	Potentiel minimal
$\Phi(x,y)$	Potentiel à 2-D à une position (x, y)

# **Introduction générale**

## **Introduction générale**

La technologie du silicium sur isolant, SOI, a récemment attiré beaucoup d'attention en raison de sa faible consommation d'énergie et de sa vitesse élevée. Elle permet d'isoler les différentes parties du dispositif grâce à l'utilisation d'oxyde enterré [1]. Cette technologie a été utilisée dans la fabrication de composants et de dispositifs à semi-conducteurs, ainsi que dans l'intégration à très grande échelle, VLSI (*Very Large Scale Integration*) [2] et par conséquent a contribué à la réduction de la taille des composants microélectroniques [3].

Contrairement aux transistors bipolaires à jonction, BJT (*Bipolar Junction transistors*), les transistors à effet de champ, FET (*Field Effect Transistor*), sont des dispositifs unipolaires. Cela signifie qu'il n'y a qu'un seul type de porteurs électrons ou trous qui participent au courant du canal permettant ainsi l'obtention d'une réponse à haute fréquence et à faible bruit [4]. Parmi les transistors à effet de champ, le FET à barrière Schottky, MESFET (*Metal Semiconductor FET*), est un candidat très prometteur pour des applications haute puissance dans les communications, les satellites, l'aérospatiale, le stockage de données, etc. [5].

Ainsi, en combinant la technologie SOI et le MESFET, les avantages des deux structures peuvent être accommodés. Bien que la structure SOI MESFET présente de grands avantages, les chercheurs peuvent toujours trouver d'autres moyens d'améliorer encore ses caractéristiques Radio Fréquence (RF) et haute puissance [1].

En outre, le MESFET réalisé via la technologie SOI acquerra de nombreuses caractéristiques intéressantes en raison de nombreux avantages tels que son utilisation dans les dispositifs à haute tension, un bon isolement entre dispositif dans les circuits intégrés, la capacité de fonctionner à haute fréquence, à des températures ambiantes et élevées, etc. qui le rendent adapté à de nombreuses applications électriques [6]. Il a également l'avantage d'être compatible avec le processus VLSI, autrement dit intégration à très grande échelle, et il est facile à l'intégrer avec d'autres processus ayant d'autres procédés [7].

Par ailleurs, les SOI MESFETs sont importants pour toute application haute puissance et vitesse élevée [8]; cette catégorie de dispositifs est compatible avec les processus CMOS (*Complementary Metal Oxide Semiconductor*) conventionnels [9]. De plus, les SOI-MESFETs donnent de meilleurs comportements quant aux caractéristiques continues et radiofréquences à comparer aux structures MESFETs [10]. Néanmoins, malgré les avantages favorables de la technologie SOI, on note quelques inconvénients tels que l'effet d'auto-échauffement, la faible tension de claquage et l'effet de coude qui affectent les performances des dispositifs réalisés par cette technologie [11, 8]. L'utilisation de ces transistors dans des applications à haute puissance nécessite un courant de drain et une tension de claquage élevés. Etant donné le compromis entre la tension de claquage et la densité de courant, la densité de puissance est limitée car l'augmentation de l'une est accompagnée par la réduction de l'autre [12]. L'augmentation de la concentration du dopage du canal et de son épaisseur augmente directement le courant et diminue la tension de claquage [13].

La simulation à base de phénomènes physiques est devenue très importante pour deux raisons: (i) elle est souvent beaucoup plus rapide et moins chère que la réalisation expérimentale et (ii) elle fournit des informations qui sont difficiles voire parfois impossible de les mesurer [14]. C'est dans ce contexte que nous avons utilisé le logiciel SILVACO qui est le mieux adapté dans l'étude des dispositifs à semi-conducteurs. TCAD-SILVACO est l'abréviation de "*Technology Computer Aided Design - Silicon Valley Corporation*" assisté par ordinateur. Il permet la simulation des processus des semi-conducteurs et il se compose de plusieurs modules à base physique (ATHENA, ATLAS, SSUPREM3, SSUPREM4, etc.) recueillies dans le cadre d'un environnement appelé DECKBUILD; chacun d'eux simule différents processus.

Dans ce travail, nous nous sommes intéressés au simulateur ATLAS qui est un simulateur de SILVACO. Il permet la modélisation bidimensionnelle et tridimensionnelle des dispositifs à base de modèles physiques après (i) la conception de la structure physique à simuler, (ii) le choix des modèles physiques à utiliser et (iii) la décision des conditions de polarisation pour lesquelles les caractéristiques électriques doivent être déterminées. Il prédit le comportement électrique des structures semi-

conductrices dans des conditions AC, DC et transitoires, ce qui permet une meilleure compréhension des mécanismes physiques internes associés au fonctionnement d'un dispositif [14]. Ainsi, nous avons utilisé ce simulateur afin de déterminer les caractéristiques d'une nouvelle structure SOI MESFET que nous proposons afin de remédier à certains problèmes évoqués précédemment.

La présente thèse est structurée en trois chapitres :

Dans le premier chapitre, partant des aspects fondamentaux de la plaquette SOI tels que : les techniques technologiques de base de sa fabrication, ses avantages et ses inconvénients, nous nous intéressons aux dispositifs SOI et nous montrons les différences par rapport aux dispositifs élaborés sur des substrats en silicium massif. Ensuite, nous présentons la structure du composant classique, C- SOI MESFET, et nous établissons la description du calcul du potentiel de son canal en résolvant l'équation de Poisson. Enfin, nous terminons ce chapitre, en donnant un aperçu sur le logiciel SILVACO et la présentation du simulateur ATLAS.

Dans le deuxième chapitre, nous présentons différentes structures SOI MESFETs qui sont proposées par la littérature comme solutions technologiques pour améliorer les performances en générale et la tension de claquage en particulier du composant C- SOI MESFET. Nous décrivons quelques caractéristiques telles que: la distribution du champ électrique, les caractéristiques du courant de drain, la tension de claquage, les caractéristiques radiofréquences, etc.

Dans le troisième chapitre, nous proposons une nouvelle structure Multi II-SOI MESFET dans le but d'augmenter la tension de claquage et le courant de drain tout en améliorant les performances des paramètres radiofréquence et la densité de puissance maximale. Après une introduction, nous décrivons la structure proposée, ses dimensions et ses spécifications physiques. Ensuite, nous donnons les étapes successives pour sa fabrication et leur réalisation via ATLAS de SILVACO. Enfin, nous terminons ce chapitre par la présentation des résultats et l'analyse des caractéristiques DC et RF obtenues.

## **Références**

- [1] Naderi A, Mohammadi H (2021) Shifted gate electrode of silicon on insulator metal semiconductor FETs to amend the breakdown and transconductance. *Eur. Phys. J. Plus* 136 (662): 1-17. <https://doi.org/10.1140/epjp/s13360-021-01661-z>
- [2] Karthick S, Ajayan J, Vivek K, Kavin Arasan C, Manikandan A (2015) A Review On Performance Comparison Of SOI MOSFET With STS-SOI MOSFET. 2nd International Conference on Electronics and Communication Systems (ICECS). <https://doi.org/10.1109/ECS.2015.7124815>
- [3] Farahzad E, Naderi A (2022) Embedded metal and L-shaped oxide layers in silicon on insulator MESFETs: higher electric field tolerance and lower high frequency gate capacitances. *J Mater Sci: Mater Electron* 33: 19971–19984. <https://doi.org/10.1007/s10854-022-08816-3>
- [4] Mohtaram M, Orouji AA (2020) A novel SOI MESFET to spread the potential contours towards the drain. *International Journal of Electronics* 107 (9): 1506–1523. <https://doi.org/10.1080/00207217.2020.1727025>
- [5] Aminbeidokhti A, Orouji AA (2011) A novel 4H–SiC MESFET with modified channel depletion region for high power and high frequency applications *Physica E*. 44: 708–713. <https://doi.org/10.1016/j.physe.2011.11.013>
- [6] Wilk SJ, Balijepally A, Ervin J, Lepkowski W, Thornton TJ (2010) Silicon on insulator MESFETs for RF amplifiers. *Solid-State Electron* 54: 336–342. <https://doi.org/10.1016/j.sse.2009.10.016>
- [7] Jamali Mahabadi SE, Orouji AA, Keshavarzi P, Rajabi S (2011) A Novel Step Buried oxide Partial SOI LDMOSFET with Triple Drift layer. *Proceedings of 2011 International Conference on Signal Processing, Communication, Computing and Networking Technologies (ICSCCN)*. <https://doi.org/10.1109/ICSCCN.2011.6024538>
- [8] Mohaddeseh M, Orouji AA, Ramezani A, Keighobad D (2021) Physical Analysis on the DC and RF Operations of a Novel SOI-MESFET with Protruded Gate and Dual Wells. *Silicon* 14: 3911–3917. <https://doi.org/10.1007/s12633-021-01174-5>
- [9] Ervin J, Balijepally A, Joshi P, Kushner V, Yang J, Thornton TJ (2006) CMOS-compatible SOI MESFETs with high breakdown voltage. *IEEE Trans. Electron Dev* 53: 3129–3135. <https://doi.org/10.1109/TED.2006.885530>
- [10] Balijepally A, Vijayaraghavan R, Ervin J, Yang J, Islam SK, Thornton TJ (2006) Large signal modeling of SOI MESFETs. *Solid State Electron* 50: 943–950. <https://doi.org/10.1016/j.sse.2006.05.012>

[11] Abdi A, Naderi A (2022) A novel metal–semiconductor device to enhance the current and unilateral power gains and 0 dB frequencies by SiO<sub>2</sub> insertion in drift region. *Materials Science and Engineering B* 283: 115839. <https://doi.org/10.1016/j.mseb.2022.115839>

[12] Naderi A, Heirani F (2017) Improvement in the performance of SOI-MESFETs by T-shaped oxide part at channel region: DC and RF characteristics. *Superlattices Microstruct* 111: 1022–1033. <https://doi.org/10.1016/j.spmi.2017.07.058>

[13] Naderi A, Satari KM, Heirani F (2018) SOI-MESFET with a layer of metal in buried oxide and a layer of SiO<sub>2</sub> in channel to improve RF and breakdown characteristics. *Mater. Sci. Semicond. Process* 88: 57–64. <https://doi.org/10.1016/j.mssp.2018.07.035>

[14] Atlas (2012) User’s Manual: 2-D Device Simulator, Santa Clara, CA, USA

**Chapitre I**  
**Technologie SOI MESFET et simulateur**  
**ATLAS de SILVACO**

## I.1 Introduction

La technologie du silicium, Si, sur isolant (SOI: *Silicon On Insulator*) a été considérée comme une technologie importante et attirante pour plusieurs applications. Dans cette technologie, une couche supérieure de silicium monocristallin est séparée du substrat massif par une couche isolante (par exemple l'oxyde de silicium, SiO<sub>2</sub>), ou directement supportée par un substrat isolant [1, 2]. La couche isolante permet aux dispositifs SOI d'être isolés latéralement les uns des autres par un film isolant et verticalement isolés du substrat par la couche d'oxyde enterré, ce qui rend l'isolation idéale [3]. Les principaux avantages tels que : le fort isolement, les faibles capacités de jonction, la haute vitesse, le fonctionnement à haute température, etc. ont incité les chercheurs de mener plusieurs études et analyses de structures à technologie SOI [4-7].

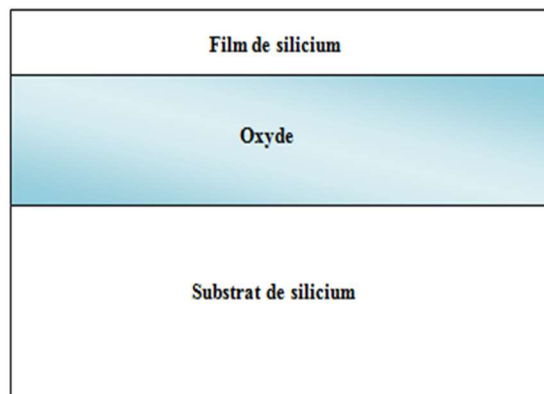
Ainsi, contrairement à la technologie Si massif traditionnelle, dans la technologie SOI les éléments des circuits intégrés, IC, ne sont pas réalisés sur un substrat de silicium mais élaborés dans une fine couche supérieure de Si séparée du substrat par un film isolant. L'isolation diélectrique complète des éléments dans les dispositifs SOI offre une réduction significative d'un certain nombre d'effets parasites inhérents aux dispositifs en Si-massif comme une capacité parasite plus faible, courants d'ionisation réduits et faible courant de fuite. Par conséquent, l'existence de la couche d'oxyde enterrée, dans la technologie SOI, a entraîné un changement non seulement dans le processus de fabrication d'un dispositif dans la surface de silicium, mais également dans les défis auxquels est confrontée la simulation des dispositifs [8].

Parmi les logiciels de simulation, SILVACO reste l'un des outils très approprié dans l'étude de nombreux dispositifs SOI. Il permet l'analyse des structures proposées ainsi que leurs DC et RF performances grâce à des modèles physiques précis et robustes [4, 7, 8]. SILVACO prédit des solutions aux exigences spécifiques de simulation pour les structures SOI en utilisant cette technologie particulière comme référence tel que: maillage dans les dispositifs SOI, modèles physiques pour SOI, méthodes numériques pour SOI, etc. [8]. En effet, plusieurs études ont montré que SILVACO est l'un des outils de conception assistée par ordinateur des plus fiables et des plus précis pour les investigations des dispositifs à semi-conducteurs.

Dans ce chapitre, après la présentation de la plaquette SOI, nous donnons un aperçu sur les processus technologiques de sa fabrication. Nous présentons une comparaison entre les structures des substrats en Si-massif et SOI. Ensuite, nous considérerons ses principaux avantages et inconvénients. Aussi, nous décrivons la structure classique du SOI MESFET. Un intérêt particulier a été accordé au calcul du potentiel du canal en résolvant l'équation de Poisson. Enfin, nous terminons ce premier chapitre par la présentation du logiciel SILVACO et du simulateur ATLAS de SILVACO.

## I.2 Plaquette SOI

Au début de la technologie SOI, l'isolant était fabriqué à partir de nitrure de silicium ou de saphir. De nos jours, l'isolant est généralement une couche d'oxyde, souvent du  $\text{SiO}_2$  (figure I.1). Notons que la couche d'oxyde est utilisée pour isoler la région du film mince du dispositif actif du substrat [9].



**Figure I.1:** Vue en coupe transversale d'une structure SOI.

La figure I.2 montre des plaquettes en Si-massif et en SOI. La caractéristique clé de la plaquette SOI est la couche de dioxyde de silicium qui permet une isolation diélectrique complète éliminant ainsi la plupart des effets parasites présents dans les structures en silicium massif. La figure I.2 illustre également l'ordre des grandeurs de la couche isolante, du film mince ainsi que du Si-massif qui sont généralement utilisées dans les applications grande échelle d'intégration, (LSI: *Large Scale Integration*) [3].

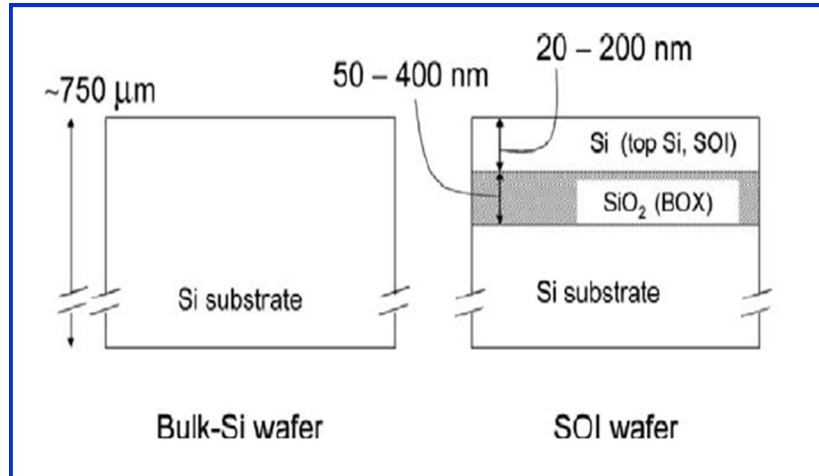


Figure I.2: Structures des substrats en Si-massif et SOI [3].

### I.3 Procédés de fabrication des plaquettes SOI

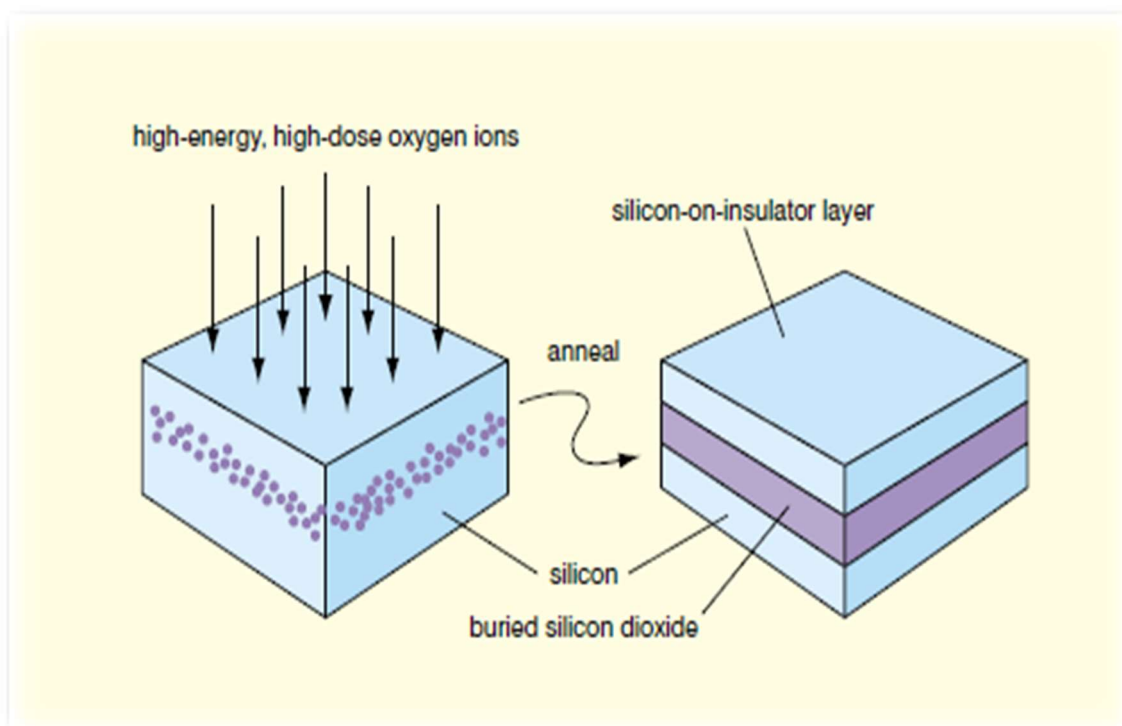
L'obtention de films de silicium monocristallin sans défauts sur une couche isolante est un défi technologique. Pour se faire, plusieurs techniques ont été développées; mais parmi celles-ci seules quelques-unes ont connu un succès commercial: Silicium sur saphir (SOS: *Silicon On Sapphire*), séparation par implantation d'oxygène (SIMOX: *Separation by Implantation of Oxygen*), SOI à arrière déposée et gravé (BESOI: *Bonded and Etched Back SOI*) et plaquettes unibond produites par le procédé "coupe intelligente" (*Smart-Cut*) [10]. Nous donnons un aperçu descriptif de chacun de ces procédés.

#### I.3.1 Silicium sur saphir

Jusqu'aux années 80, le silicium sur saphir, SOS, était la technologie SOI la plus avancée de tous les autres plaquettes. Elle est réalisée en faisant croître des couches minces de silicium monocristallin sur un substrat en saphir par un procédé chimique, dépôt en phase vapeur sous atmosphère en gaz de silane à 1000°C. De tels films présentent l'avantage d'être élaborés sur un substrat extrêmement bon conducteur de la chaleur et ils sont également hautement protégés contre les radiations. Cependant, (i) le coût de la plaquette silicium sur saphir, (ii) la qualité relativement mauvaise des films de silicium et (iii) l'émergence de nouvelles technologies SOI telles que SIMOX et le Wafer Bonding, ont l'empêché SOS de devenir une technologie SOI courante. Ainsi, son utilisation reste un marché distinctif limité [10].

### I.3.2 Séparation par implantation d'oxygène

La technique de séparation par implantation d'oxygène, SIMOX, a été développée en 1978 [11]. Dans cette technique, une dose élevée d'ions d'oxygène est implantée dans une plaquette de silicium suivie d'une étape de recuit à haute température pour former une couche d'oxyde enterrée (la figure I.3). L'implantation ionique est habituellement utilisée dans l'industrie des semi-conducteurs pour introduire des atomes dopants et des doses supérieures à  $10^{15}/\text{cm}^2$  sont rarement employées [6].

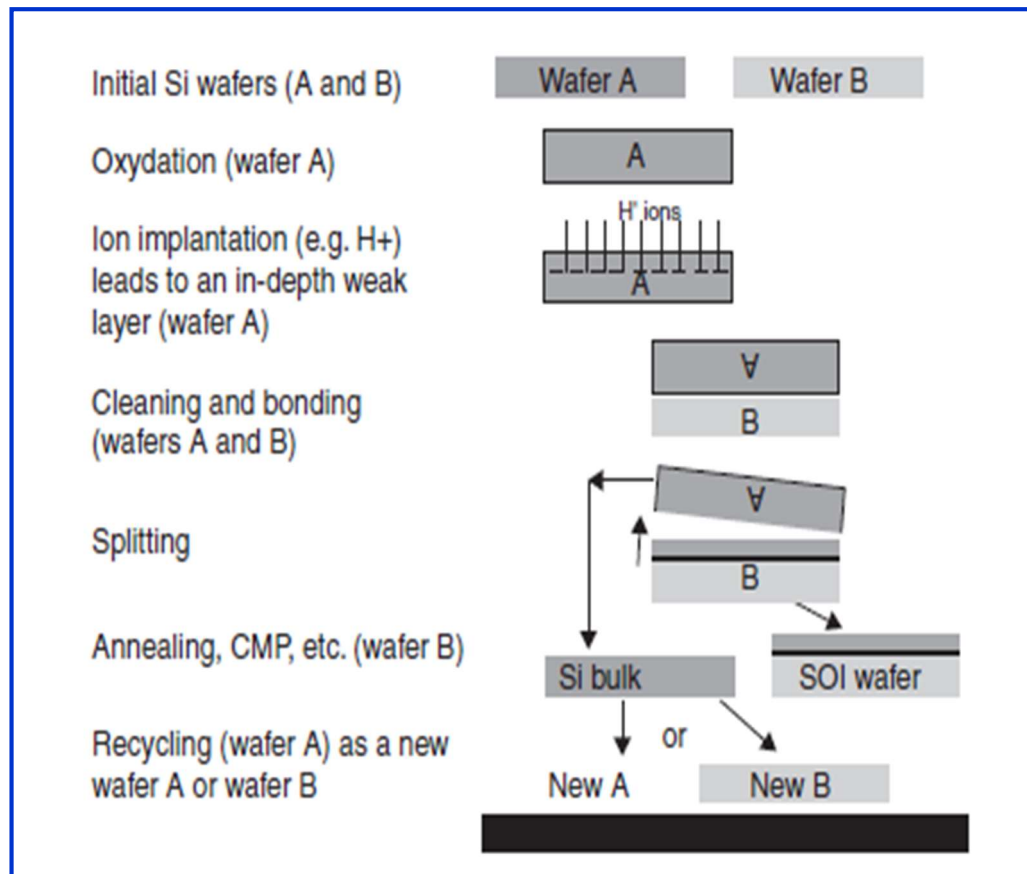


**Figure I.3 :** Représentation schématique de la méthode SIMOX [10].

Par ailleurs, l'épaisseur du film de Si, dans la structure SOI résultante, est définie par l'énergie d'implantation tandis que, l'épaisseur de la couche enterrée de  $\text{SiO}_2$  est définie par la dose d'implantation d'oxygène. Dans le procédé SIMOX standard, l'énergie d'implantation est proche de 200 keV et la dose équivaut à  $1,8 \cdot 10^{18} \text{ cm}^{-2}$  ce qui donne finalement un film de Si et un oxyde enterré d'épaisseur respectivement égale à 200 nm et 400 nm [12].

### I.3.3 Technologie coupe fine

La technologie coupe fine (*Smart Cut*) a été développée afin d'obtenir des plaquettes SOI. Elle est actuellement suffisamment mature pour permettre une production industrielle de haute qualité. Le procédé coupe fine de fabrication de plaquettes SOI [1, 13, 14] comprend les étapes illustré par la figure I.4.



**Figure I.4 :** Description du procédé Smart Cut [15].

Les étapes de ce procédé peuvent être résumées comme suit :

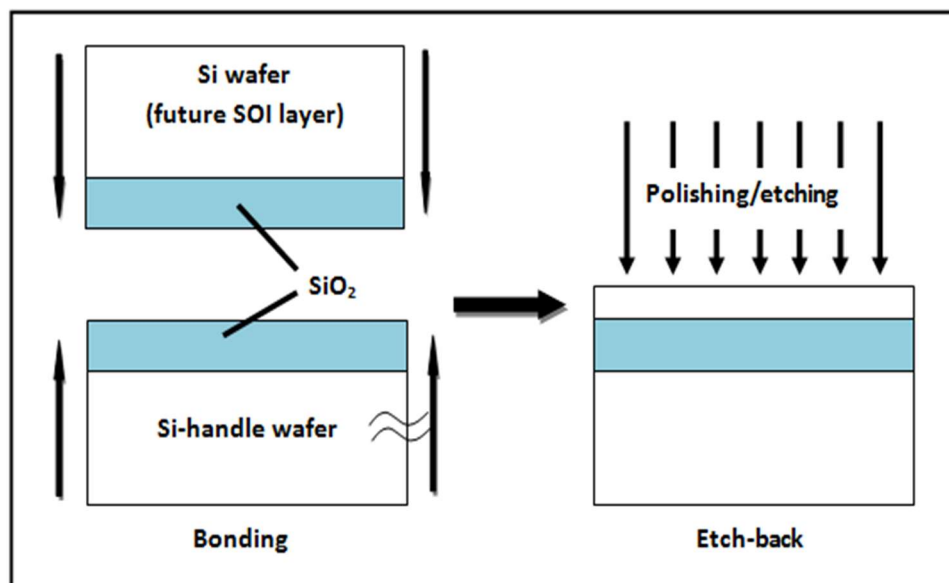
- Une première tranche de Si est oxydée thermiquement.
- Des ions (H, He, etc.) sont implantés dans cette première tranche oxydée pour induire une petite zone d'oxyde enterré.
- La première plaquette implantée est ensuite nettoyée et directement déposée sur une seconde plaquette support.
- La séparation est induite dans la zone fragilisée transférant une couche mince de la première plaquette implantée à la seconde plaquette support.

- Une dernière étape de traitement élimine la rugosité laissée sur les surfaces après le fractionnement conduisant à la structure SOI finale ; permettant ainsi de récupérer la partie restante de la plaquette donneuse.

Notons que le procédé de coupe fine présente plusieurs avantages tels qu'une bonne homogénéité d'épaisseur et la haute qualité de la couche transférée. De plus, le reste de la première plaquette peut être réutilisé comme une nouvelle première ou deuxième plaquette. De plus, il s'agit d'un procédé très général et adaptable qui être utilisé pour obtenir une grande variété de couches monocristallines sur de différents supports [15].

### I.3.4 Dépôt de plaquettes et décapage arrière

Pour la majorité des matériaux, l'expression collage de plaquettes "*wafer bonding*" fait référence à la mise en contact de plaquettes très bien polies, plates et propres (figure. I.5). Elles sont localement attirées les unes vers les autres par les forces de Van der Waals et adhèrent les unes aux autres. Les liaisons ainsi formées, à température ambiante, sont faibles et par conséquent, nécessitent un recuit pour les renforcer à travers l'interface. Après l'adhésion complète ou le dépôt de l'une des plaquettes est ensuite polie ou décapée jusqu'à une épaisseur adaptée aux applications SOI. L'autre plaquette sert de substrat mécanique ou plaquette support [6].



**Figure I.5:** Dépôt de couches de Si oxydé (à gauche) et polissage/gravure de l'une d'elles [6].

## I.4 Avantages de la technologie SOI

Les technologies basées sur l'utilisation d'une couche d'oxyde enterrée comme isolant dans les plaquettes SOI ont été largement développées en microélectronique en raison de leurs avantages par rapport aux substrats massifs en silicium. Parmi ces avantages nous donnerons ci-dessous les plus importants.

### I.4.1 Réduction des capacités parasites

Dans les SOI-MESFET, les capacités d'accès : drain- source ou bien drain - grille et le substrat sont particulièrement négligeables en raison de la constante diélectrique du  $\text{SiO}_2$  qui est inférieure à celle du Si et de l'épaisseur de la couche d'oxyde enterrée. Notons qu'une réduction significative des capacités parasites dans les dispositifs SOI entraîne une forte augmentation de leur vitesse de fonctionnement par rapport à celle de leurs équivalents en massif [12].

### I.4.2 Faible courant de fuite

L'augmentation du courant de fuite aux jonctions est l'une des principales causes de défaillance des circuits fonctionnant à haute température. Dans le cas des transistors à effet de champs à canal n, le courant de fuite à  $V_{DS} = 5V$  élaborés sur Si-massif et ceux réalisés par une technologie SOI, avec des géométries similaires, sont comparés à la figure I.6. Il est clair que le courant de fuite est extrêmement faible dans les dispositifs SOI [6].

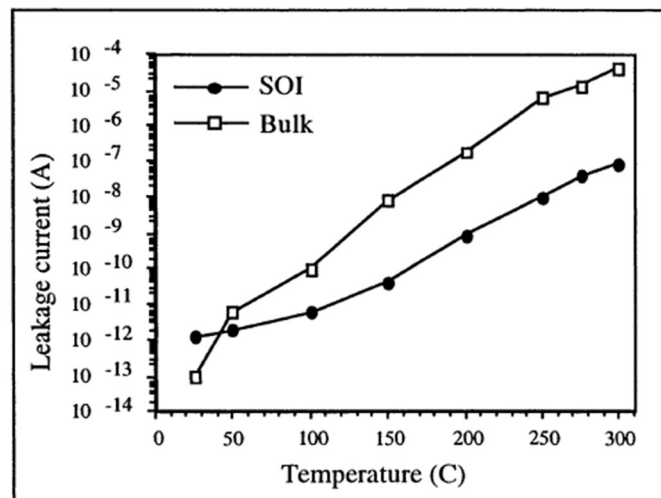


Figure I.6 : Évolution du courant de fuite en fonction de la température [6].

### I.4.3 Réduction du courant d'ionisation

Les dispositifs SOI présentent un excellent effet de rayonnement aux particules  $\alpha$ , aux neutrons et aux autres particules. Dans les dispositifs SOI, les courants d'ionisation (ou photo courants) sont considérablement plus faibles à comparer à leurs équivalents élaborés sur le Si- massif. Cet avantage [6, 16] est généralement attribué au (i) volume de la région active généralement petit, (ii) dimensions des régions beaucoup plus petites de celles des jonctions pn, et (iii) présence d'une couche de  $\text{SiO}_2$  enterrée, qui empêche le flux de charges générées dans le substrat vers la zone active d'un dispositif.

## I.5 Inconvénients de la technologie SOI

Bien que plusieurs avantages aient été trouvés pour la technologie SOI, certains inconvénients ont été également cités dont les plus gênants sont rappelés ci-dessous.

### I.5.1 Faible tension de claquage

La technologie SOI MESFET souffre du problème d'une faible tension de claquage,  $V_{BR}$ . En effet, lorsque la tension de grille,  $V_{GS}$ , se rapproche de la tension de pincement,  $V_p$ , la tension de drain augmente pour maintenir le courant de drain constant. Lorsque le claquage est atteint, la tension de drain et le courant de grille augmentent fortement suite au claquage par avalanche de la jonction de grille. De plus,  $V_{BR}$  est contrôlée par le claquage de la grille dû au champ électrique élevé au bord de la grille près du drain et à l'importante accumulation des lignes de champ qui se produit à ce niveau [17].

### I.5.2 Effets de coude

L'application à l'électrode de drain d'une tension élevée ( $V_{DS} > V_{DSsat}$ ) permet aux porteurs de charge de gagner une énergie plus importante que le gap de Si en raison du champ électrique élevé existant. Par conséquent, le phénomène de claquage se produit et une nouvelle paire électron-trou se crée. Ces électrons générés participent au courant de drain,  $I_{DS}$ , et les trous s'accumulent sur la plaquette SOI. De plus, les transistors à jonction bipolaire parasite vont amplifier ces trous générés provoquant des effets de coude (*Kink Effect*) [18].

### **I.5.3 Effets d'auto-échauffement**

Un autre problème critique auquel est confrontée la technologie, c'est l'auto-échauffement qui limite la chaleur générée par le dispositif lui-même. Lorsqu'un composant est allumé, il peut y avoir une densité de courant importante dans le silicium cela pourrait générer une quantité importante de chaleur. Contrairement à la technologie SOI, dans lequel les techniques d'isolation sont utilisées, dans la technologie de processus bipolaire isolé par jonction conventionnelle, la chaleur sous la zone active d'un dispositif est capable de se propager à travers la puce en raison de la conductivité thermique élevée du silicium. Effectivement, la zone active dans un SOI est essentiellement encapsulée dans du dioxyde de silicium,  $\text{SiO}_2$ . Pour le SOI MESFET, cet effet est très important et peut mener à des conséquences considérables sur le fonctionnement du dispositif [19].

## **I.6 SOI MESFET conventionnel**

### **I.6.1 Description de la structure**

La figure I.7 représente une section transversale typique de la structure SOI MESFET conventionnelle. Cette structure est composée d'un substrat de silicium de type p et d'une couche enterrée d'oxyde de dioxyde de silicium,  $\text{SiO}_2$ . La couche active de la structure C-SOI MESFET est du silicium de type n. Les couches sous les contacts ohmiques de source et de drain sont fortement dopées,  $n^+$ -Si. La grille de contact Schottky est en nickel, Ni. Les couches  $\text{SiO}_2$  de passivation inter-électrodes assurent la protection du dispositif contre les effets extérieurs.

Enfin, les dimensions des longueurs et des épaisseurs de chaque région sont données dans le tableau I.1. Il est à noter que les paramètres de cette structure C-SOI MESFET sont ceux habituellement choisis dans la littérature [20, 21].

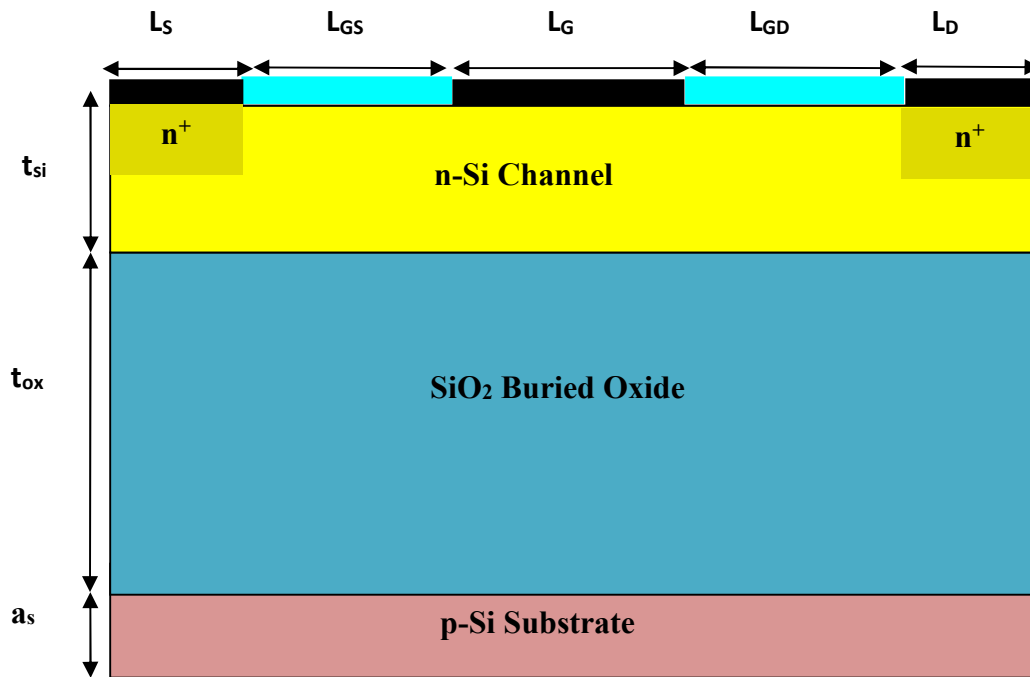


Figure I.7 : Section transversale du SOI MESFET conventionnel [22].

Tableau I.1: Valeurs des paramètres géométriques et technologiques de la structure C-SOI MESFET.

Paramètre	Symbole	Valeur
Longueur de grille	$L_G$	$0,5 \mu\text{m}$
Longueur de drain	$L_D$	$0,3 \mu\text{m}$
Longueur de source	$L_S$	$0,3 \mu\text{m}$
longueur de l'espace grille-source	$L_{GS}$	$0,5 \mu\text{m}$
longueur de l'espace grille-drain	$L_{GD}$	$0,5 \mu\text{m}$
Epaisseur du canal	$t_{si}$	$0.2 \mu\text{m}$
Epaisseur du substrat	$a_s$	$0.1 \mu\text{m}$
Epaisseur de la région de BOX	$t_{ox}$	$0,4 \mu\text{m}$
Concentration de dopage de canal	$N_D$	$1.10^{17} \text{cm}^{-3}$
Concentration de dopage des régions sous source et drain	$n^+$	$1.10^{20} \text{cm}^{-3}$
Concentration de dopage du substrat	$N_A$	$1.10^{13} \text{cm}^{-3}$
Le travail de sortie du nickel (métal de la grille)	$\Phi_m$	$5.1 \text{eV}$

### I.6.2 Calcul du potentiel du canal

Le potentiel du canal du SOI MESFET peut être obtenu en résolvant l'équation de Poisson pour dériver une expression analytique. Notons que la méthode de superposition est une façon précise pour résoudre l'équation de Poisson à 2-D dans laquelle la solution est présentée comme la somme des solutions de l'équation de Poisson à 1-D et de l'équation de Laplace à 2-D [7].

Pour le SOI MESFET à canal n entièrement dépeuplé avec une densité d'impuretés dans le canal supposée uniforme et en ignorant l'influence des porteurs de charge mobiles ainsi que de la charge fixe piégée, l'équation de Poisson à 2-D peut être écrite comme suit :

$$\frac{\partial^2 \Phi(x,y)}{\partial x^2} + \frac{\partial^2 \Phi(x,y)}{\partial y^2} = -\frac{qN_D}{\epsilon_{si}} \quad 0 \leq x \leq L, \quad 0 \leq y \leq t_{si} \quad (I.1)$$

où  $\Phi(x,y)$  est le potentiel à 2-D à une position  $(x, y)$  dans le film de silicium,  $q$  est la charge électronique,  $N_D$  est la densité de dopage dans la région du canal et  $\epsilon_{si}$  est la constante diélectrique du silicium,  $x$  et  $y$  représentent respectivement l'axe longitudinal de la source au bord de la grille vers le drain et l'axe transversal de l'interface grille-silicium vers la couche d'oxyde enterrée (figure I.8).

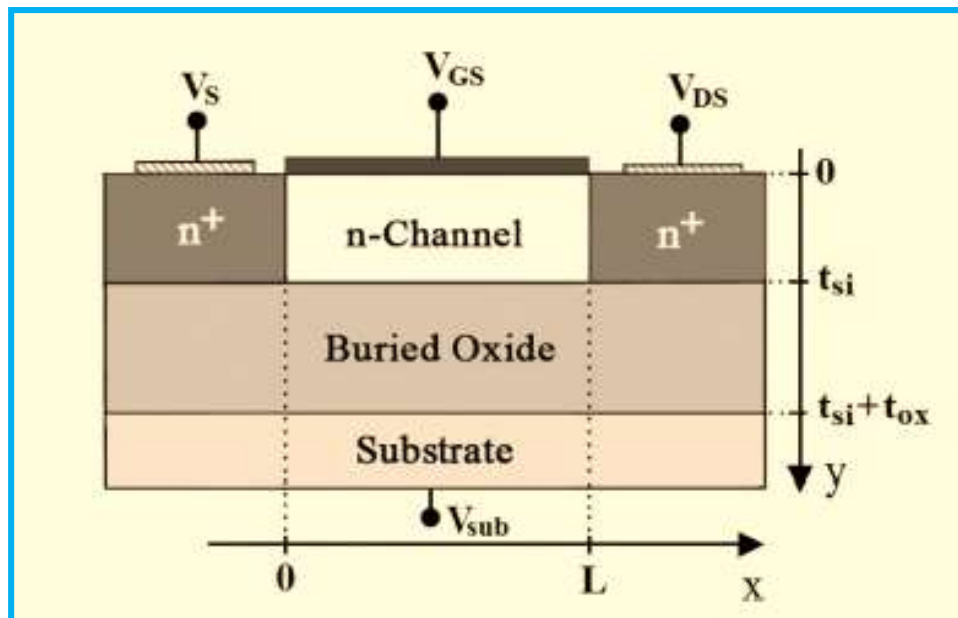


Figure I.8 : Vue schématique en coupe du SOI MESFET à canal court [7].

Pour résoudre l'équation de poisson, quatre conditions aux limites sont considérées [24]:

- **Limite supérieure:** Elle représente la frontière entre le métal de grille et le canal actif.
- **Limite inférieure:** Elle représente la frontière entre la couche du silicium et la couche d'oxyde enterrée.
- **Limite gauche:** Elle représente le côté gauche de la couche de dépeuplement (source).
- **Limite droite:** Elle représente le côté droit de la couche dépeuplement (drain).

Le tableau I.2 regroupe les conditions aux limites pour un SOI MESFET classique à canal court. Quant au champ électrique à la limite inférieure ( $y = t_{si}$ ), il est exprimé par :

$$\left. \frac{\partial V(y)}{\partial y} \right|_{y=t_{si}} = \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{V_{Sub} - V_{fb}}{t_{ox}} V(y) \Big|_{y=t_{si}} \quad (I.2)$$

Où  $V_{GS}$  est la tension de grille,  $f_{bi}$  est la tension interne de la barrière Schottky de grille,  $V_{bi}$  est la tension interne de la jonction canal-source (drain),  $V_{DS}$  est la tension de drain,  $V_{BS}$  est la polarisation du substrat,  $V_{fb}$  est tension de la bande plate de l'oxyde enterré,  $\epsilon_{ox}$  est la permittivité de l'oxyde enterré,  $t_{si}$  est l'épaisseur du film de silicium et  $t_{ox}$  est l'épaisseur de l'oxyde enterré.

**Tableau I.2 :** Conditions aux limites pour SOI MESFET classique à canal court [24]

Limite	Position	Potentiel
Supérieure	$Y = 0$	$\Phi(x, 0) = V_{GS} - \Phi_{bi}$
Gauche	$X = 0$	$\Phi(0, y) = V_{bi}$
Droite	$X = L$	$\Phi(L, y) = V_{bi} + V_{DS}$
Inférieure	$y = t_{si}$	/

À propos de la méthode de superposition,  $\Phi(x,y)$  est exprimé comme la somme des solutions unidimensionnelles pour le cas du canal long,  $V(y)$ , et des solutions bidimensionnelles pour le cas du canal court,  $U(x,y)$ , données par [25] :

$$\Phi(x, y) = V(y) + U(x, y) \quad (I.3)$$

$V(y)$  est défini comme la solution de l'équation de Poisson à 1-D dans la direction de l'axe des  $x$  à une profondeur  $y$  [7, 24].

$$\frac{d^2V(y)}{dy^2} = -\frac{qN_D}{\varepsilon_{si}} \quad 0 \leq y \leq t_{si} \quad (I.4)$$

$V(y)$  est déterminée à partir de l'Equation (I.4),  $U(x,y)$  doit satisfaire l'équation de Laplace à 2-D comme suit [7, 24]:

$$\frac{\partial^2 U(x,y)}{\partial x^2} + \frac{\partial^2 U(x,y)}{\partial y^2} = 0 \quad 0 \leq x \leq L, \quad 0 \leq y \leq t_{si} \quad (I.5)$$

### a) Analyse en canal long

Concernant l'équation (I.3), les deux conditions aux limites suivantes sont posées pour  $V(y)$  [7, 24]:

$$V(y) \Big|_{y=0} = V_{GS} - \Phi_{bi} \quad (I.6)$$

$$\frac{\partial V(y)}{\partial y} \Big|_{y=t_{si}} = \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{V_{Sub} - V_{fb}}{t_{ox}} V(y) \Big|_{y=t_{si}} \quad (I.7)$$

En intégrant l'équation (I.4) deux fois par rapport à  $y$ ,  $V(y)$  s'écrit [7, 24]:

$$V(y) = -\frac{qN_D}{\varepsilon_{si}} y^2 + cy + d \quad (I.8)$$

En remplaçant les conditions aux limites (6) et (7) dans l'équation (I.8), les constantes arbitraires  $c$  et  $d$  sont déterminées comme:

$$c = \frac{(\gamma/t_{si})(V'_{sub} - V'_{GS}) + (qN_D/c_{si})(1+\gamma/2)}{(1+\gamma)} \quad (I.9)$$

$$d = V_{GS} - \Phi_{bi} \quad (I.10)$$

où les grandeurs  $C_{si} = \varepsilon_{si}/t_{si}$  et  $C_{ox} = \varepsilon_{ox}/t_{ox}$  indiquent respectivement les capacités du film de silicium et de l'oxyde enterré. De plus, les constantes suivantes sont définies pour avoir une expression plus simple [7, 24]:

$$V'_{GS} = V_{GS} - \Phi_{bi} \quad (I.11)$$

$$V'_{sub} = V_{sub} - V_{fb} \quad (I.12)$$

$$\gamma = c_{ox}/c_{si} \quad (I.13)$$

### b) Analyse en canal court

Selon les conditions aux limites spécifiées pour  $V(y)$ , les conditions aux limites pour l'équation (I.5) sont définies comme suit [7, 24]:

$$U(x, y) \Big|_{x=0} = V_{bi} - V(y) \quad (I.14)$$

$$U(x, y) \Big|_{x=L} = V_{bi} + V_{DS} - V(y) \quad (I.15)$$

$$U(x, y) \Big|_{y=0} = 0 \quad (I.16)$$

$$\frac{\partial U(x, y)}{\partial y} \Big|_{y=t_{si}} = - \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{U(x, y) \Big|_{y=t_{si}}}{t_{ox}} \quad (I.17)$$

L'application de la méthode de séparation des variables pour l'équation (I.5), donne une solution sous forme de série de Fourier [25]:

$$U(x, y) = \sum_{n=1}^{\infty} [A_n \sinh(k_n x) + B_n \sinh(k_n (L - x))] \frac{\sin(k_n y)}{\sinh(k_n L)} \quad (I.18)$$

Le calcul des coefficients de la série de Fourier de  $A_n$ ,  $B_n$  ainsi que le facteur dépendant de la technologie  $k_n$  on remplace l'équation (I.18) dans la condition à la limite indiquée à l'équation (I.17), le facteur  $k_n$  est défini comme [7, 24]:

$$\cot(k_n t_{si}) = - \frac{c_{ox}}{c_{si}} \cdot \frac{1}{k_n t_{si}} \quad (I.19)$$

Application de l'analyse numérique, méthodes de Newton-Raphson l'équation (I.19) peut être résolue [26]. Remplacement de l'équation (I.18) dans les conditions aux limites (I.14) et (I.15), les équations suivantes sont obtenues [7, 24]:

$$\sum_{n=1}^{\infty} B_n \sin(k_n y) = V_{bi} - V(y) \quad (I.20)$$

$$\sum_{n=1}^{\infty} A_n \sin(k_n y) = V_{bi} + V_{DS} - V(y) \quad (I.21)$$

Pour calculer  $A_n$  et  $B_n$ , les deux équations (I.20) et (I.21) sont multipliés par le  $\sin(k_n y)$  et les intégrer de 0 à  $t_{si}$ . Par application de l'orthogonalité de  $\sin(k_n y)$  et si les intégrales sont évaluées les équations suivantes sont obtenues [7, 24]:

$$A_n = \frac{ck_n f_n + (V_{bi} + V_{DS} - d) \cdot k_n^2 \cdot g_n - h_n (qN_D / 2\varepsilon_{si})}{k_n^3 \alpha_n} \quad (I.22)$$

$$B_n = \frac{ck_n f_n + (V_{bi} - d) \cdot k_n^2 \cdot g_n - h_n (qN_D / 2\varepsilon_{si})}{k_n^3 \alpha_n} \quad (I.23)$$

où

$$\alpha_n = (2k_n t_{si} - \sin 2k_n t_{si}) / 4k_n \quad (I.24)$$

$$f_n = k_n t_{si} \cos(k_n t_{si}) - \sin(k_n t_{si}) \quad (I.25)$$

$$g_n = 1 - \cos(k_n t_{si}) \quad (I.26)$$

$$h_n = (k_n^2 t_{si}^2 + 2) \cos(k_n t_{si}) + 2k_n t_{si} \sin(k_n t_{si}) - 2 \quad (I.27)$$

Ainsi, la solution complète pour  $\Phi(x,y)$  s'écrit [7, 24]:

$$\Phi(x, y) = \frac{-qN_D}{2\varepsilon_{si}} y^2 + cy + d + \sum_{n=1}^{\infty} [A_n \sinh(k_n x) + B_n \sinh(k_n (L - x))] \frac{\sin(k_n y)}{\sinh(k_n L)} \quad (I.28)$$

Par ailleurs, dans les dispositifs à canal court, le courant avant-seuil circule à l'emplacement du potentiel inférieur minimum. Par conséquent, la tension du seuil peut être considérée comme la valeur de la tension de grille à laquelle le potentiel minimal devient nul [27] autrement dit :  $\Phi_{\min}(V_{GS} = V_{th}) = 0$ .

## I.7 Logiciel de simulation TCAD-SILVACO

### I.7.1 Description de TCAD-SILVACO

Le logiciel TCAD-SILVACO (*Technology Computer Aided Design - Silicon Valley Corporation*) est un logiciel de simulation 2D/3D qui permet de concevoir et prévoir les performances de dispositifs à semi-conducteurs avant leur fabrication. Il permet également d'inclure de nouveaux modèles physiques qui utilisent des méthodes et des algorithmes numériques efficaces, de nouvelles techniques de maillage, l'optimisation des solutions linéaires, etc. L'avantage majeur de ce type de simulateur est qu'il donne la possibilité de visualiser des phénomènes physiques difficilement accessibles et deviennent observables.

SILVACO présente un ensemble d'outils de simulation interactifs permettant la conception et l'analyse de la plupart des dispositifs à semi-conducteurs à conception virtuelle (VWF: *Virtual Wafer Fabrication*,). Il s'agit d'une suite de logiciels utilisés pour créer un environnement multifonctionnel pour la simulation de la technologie des dispositifs à semi-conducteurs. VWF de SILVACO permet : (i) une estimation des coûts et du rendement et (ii) une analyse paramétrique complète du traitement des semi-conducteurs en intégrant la simulation de processus, la simulation de dispositifs et l'extraction de paramètres dans une interface graphique interactive conviviale. ATLAS peut être utilisé en tant qu'outil autonome ou principal dans un environnement VWF.

### I.7.2 Outils de simulation

Les outils de simulation sont les simulateurs qui réalisent les fonctions pour lesquelles ils sont destinés, nous citons particulièrement: SSUPREM3, ATHENA et ATLAS.

- **SSUPREM3** : un simulateur de processus unidimensionnel.
- **ATHENA** : un simulateur de processus technologique qui simule la fabrication des composants électroniques. Il fournit des possibilités générales pour la simulation de processus utilisés dans l'industrie des semi-conducteurs : diffusion, oxydation, implantation ionique, gravure, lithographie, procédés de dépôt, etc.
- **ATLAS** : un simulateur (2D ou 3D) des caractéristiques électriques de dispositifs à semi-conducteurs.

### I.7.3 Outils interactifs

Les outils interactifs permettent de communiquer avec les simulateurs et de visualiser les résultats obtenus, parmi eux, nous citons:

- **DECKBUILD** : est l'environnement dans lequel le programme de simulation à travers des commandes spécifiques est défini (figure I.9). De multiples simulateurs considérés comme des entrées peuvent être utilisés avec

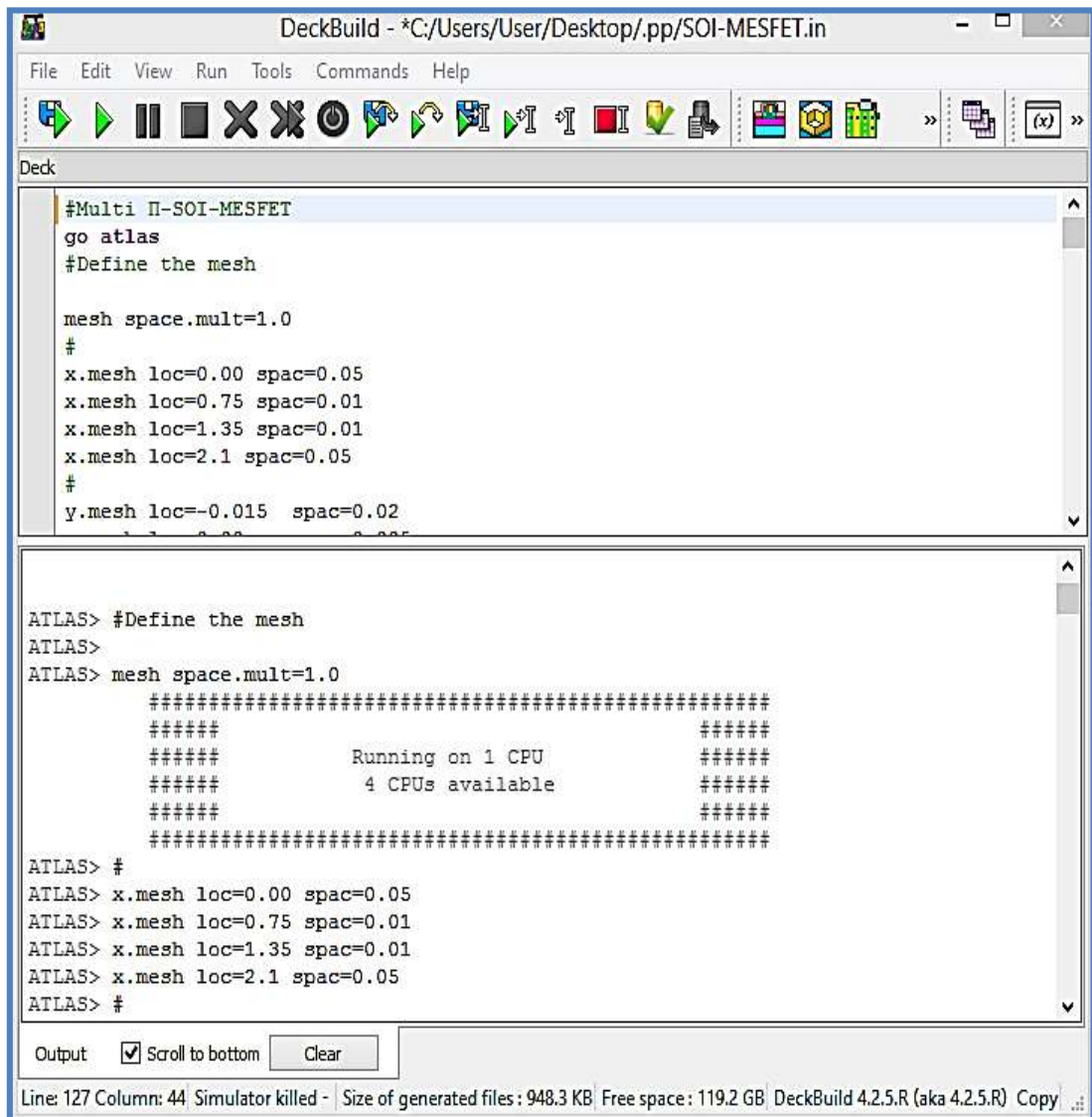


Figure I.9 : Editeur DECKBUILD du Logiciel TCAD-SILVACO.

DECKBUILD: ATHENA, ATLAS, SSUPREM3, etc. La moitié supérieure de la fenêtre DECKBUILD est l'entrée de commande répertoriée sous la forme d'un programme créé par un éditeur de texte. La moitié inférieure de la fenêtre

DECKBUILD est l'endroit où l'exécution du programme et les informations d'extraction sont répertoriées au fur et à mesure que le programme s'exécute [28].

- **DEVEDIT** : est un outil qui permet l'édition de la structure, la spécification de la structure et la génération graphique du maillage sur l'écran. Cet outil permet de raffiner les maillages existants.
- **TonyPlot** : est un outil de traitement graphique utilisé pour tracer les données extraites de la simulation à l'aide d'ATLAS. Les résultats de la simulation ne se chargent pas automatiquement dans TonyPlot lorsqu'une simulation est terminée. Les utilisateurs doivent enregistrer les résultats dans un fichier qui peut être ouvert directement à partir de TonyPlot.
- **MASKVIEWS** : outil de dessin des masques pour les circuits intégrés IC (*layouts*).
- **OPTIMIZER** : support d'optimisation à travers de multiples simulateurs.

## I.8 Simulateur ATLAS de SILVACO

### I.8.1 Description du simulateur ATLAS

Le logiciel SILVACO est composé de plusieurs outils de simulation. Dans ce travail, nous avons utilisé principalement l'outil de simulation ATLAS. Sa particularité réside dans la possibilité de combiner plusieurs outils de simulation unidimensionnels, bidimensionnels et tridimensionnels dans un ensemble complet de simulation d'un dispositif. Cela permet la simulation d'une grande variété de dispositifs semi-conducteurs modernes en particulier les transistors.

En effet, ATLAS est un simulateur de dispositif prédictif. Il est basé sur des phénomènes physiques qui prévoient les caractéristiques électriques associées à des dispositifs physiques à des conditions de polarisation spécifiques pour fournir un aperçu du fonctionnement et du comportement électrique en régime continu, DC, alternatif, AC, et transitoire [8]. En plus du comportement électrique externe, il donne la possibilité de visualiser des phénomènes physiques difficilement accessibles. En fait, l'outil de simulation ATLAS fournit des informations sur la distribution des lignes de courant, le champ électrique, le potentiel et des données importantes pour la conception et l'optimisation des procédés technologiques du composant électronique.

## I.8.2 Entrées et sorties dans ATLAS

La figure I.10 résume les types d'informations qui circulent à l'entrée et à la sortie dans ATLAS. Généralement deux fichiers d'entrée sont utilisés : (i) le premier est "**script**" qui contient des commandes d'exécutions et (ii) le deuxième est "**structure**" qui définit la structure qui sera simulée.

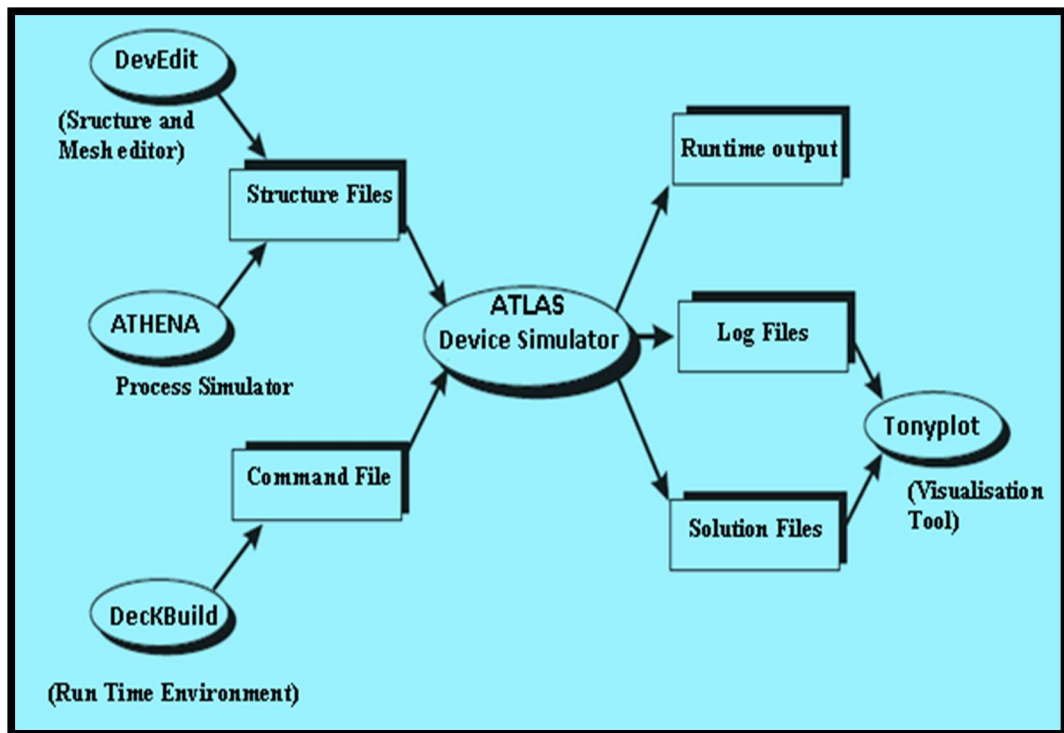


Figure I.10 : Entrées et sorties d'ATLAS [8].

Par ailleurs, ATLAS produit trois types de fichiers de sortie :

- Le premier est "**Runtime**": durant la simulation, ce fichier donne l'état d'avancement, les erreurs et les messages d'avertissement.
- Le deuxième est "**Log**": ce type de fichier enregistre toutes les valeurs finales des tensions et des courants de l'analyse du dispositif.
- Le troisième est "**solution**" qui enregistre en 2D et 3D les données des valeurs des variables de la solution dans le dispositif à un point de polarisation donnée.

Notons que les deux derniers fichiers de sortie sont traités par l'outil de visualisation "TonyPlot" qui a été utilisé pour afficher les résultats de la simulation [8].

### I.8.3 Ordre des commandes dans ATLAS

L'ordre dans lequel les états se produisent dans un fichier d'entrée ATLAS est important. Il existe cinq groupes d'états qui doivent se produire dans le bon ordre illustré par la figure I.11. Si l'ordre n'est pas respecté, cela provoque un message d'erreur qui va apparaître, ce qui pourrait conduire à un mauvais fonctionnement ou au non validation du programme. Par exemple, si les paramètres matériels ou modèles sont définis dans le mauvais ordre, ils ne peuvent pas être utilisés dans les calculs [8].

L'ordre des déclarations dans la définition de maillage, définition structurelle et les groupes de la solution est également important. A défaut de placer ces déclarations dans le bon ordre peut également provoquer un mauvais fonctionnement ou à l'annulation du programme [8].

Group	Statements
1. Structure Specification	MESH REGION ELECTRODE DOPING
2. Material Models Specification	MATERIAL MODELS CONTACT INTERFACE
3. Numerical Method Selection	METHOD
4. Solution Specification	LOG SOLVE LOAD SAVE
5. Results Analysis	EXTRACT TONYPLOT

Figure I.11 : Ordre des commandes dans ATLAS [8].

### I.8.4 Équations fondamentales du simulateur ATLAS

Plusieurs années de recherche sur la physique des dispositifs ont conduit à la proposition d'un modèle mathématique valable pour tout dispositif à semi-conducteur [29]. Ce modèle consiste en un ensemble d'équations fondamentales qui relient le potentiel électrostatique et les densités des porteurs dans un domaine de simulation. Ces équations, qui sont résolues à l'intérieur de tout simulateur à usage général, ont été dérivées des lois de Maxwell et consistent en l'équation de Poisson, les équations de continuité et les équations de transport.

#### a) Equations de continuité

Les équations de continuité pour les électrons et les trous sont définies comme suit [30]:

$$\frac{\partial n}{\partial t} = \frac{1}{q} \operatorname{div} \vec{J}_n + G_n - R_n \quad (\text{I.29})$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \operatorname{div} \vec{J}_p + G_p - R_p \quad (\text{I.30})$$

où  $n$  et  $p$  sont les densités des électrons et des trous,  $q$  est la charge de l'électron,  $J_n$ ,  $J_p$ ,  $G_n$ ,  $G_p$ ,  $R_n$  et  $R_p$  sont respectivement les densités de courant ( $J$ ), les taux de génération ( $G$ ) et les taux de recombinaison ( $R$ ) ; les indices  $n$  et  $p$  indiquent les électrons et les trous.

#### b) Équations de transport

Les calculs basés sur la théorie de transport de Boltzmann ont prouvé que la densité des courants dans les équations de continuité peut être définie par le modèle de drift-diffusion [31]. Dans ce modèle les densités de courant s'écrivent [30]:

$$\vec{J}_n = qn\mu_n\vec{E}_n + qD_n\nabla n \quad (\text{I.31})$$

$$\vec{J}_p = qp\mu_p\vec{E}_p + qD_p\nabla p \quad (\text{I.32})$$

où  $D_n$ ,  $D_p$ ,  $\mu_n$  et  $\mu_p$  sont respectivement les constantes de diffusion et les mobilités des électrons et des trous.

### c) Équation de Poisson

L'équation de Poisson qui relie le potentiel électrostatique à la densité de charge d'espace est donnée par:

$$\text{div}(\epsilon \nabla \psi) = -\rho \quad (\text{I.33})$$

où  $\psi$  est le potentiel électrostatique,  $\epsilon$  est la permittivité et  $\rho$  la densité de charge d'espace qui est la contribution totale de toutes les charges mobiles et fixes incluant les électrons, les trous et les impuretés.

## I.9 Conclusion

La fabrication des structures SOI, un domaine qui englobe un très large éventail de techniques de fabrication des plaquettes, a été présentée. On s'est concentré particulièrement sur (i) Silicium sur saphir, SOS, (ii) Séparation par implantation d'oxygène, SIMOX, (iii) SOI à arrière plaqué et gravé, BESOI, et (iv) plaquettes produites par le procédé "coupe intelligente ou coupe fine". La compétitivité a révélé que la technique d'implantation et de transfert d'ions légers, dite technologie "Smart Cut" est la plus adaptée. Quant à la technique BESOI, elle repose sur le fait que les plaquettes polies et plates, lorsqu'elles sont mises en contact à une température ambiante, sont attirées l'une vers l'autre par les forces et la liaison de van der Waals.

Nous avons procédé à la description de la structure classique du transistor SOI MESFET en spécifiant les dimensions de chaque région et en indiquant les caractéristiques de chaque élément. Notons que cette structure sera utilisée comme référence de comparaison des résultats qui seront présentés dans le chapitre III.

Enfin, nous avons présenté le logiciel de simulation TCAD-SILVACO, ses outils de simulation (SSUPREM3, ATHENA et ATLAS) ainsi que ses outils interactifs (DECKBUILD, DEVEDIT, TonyPlot, MASKVIEWS et OPTIMIZER). Nous avons décrit également le module de simulation ATLAS utilisé pour la simulation du comportement électrique des composants électroniques. Nous avons aussi donné les équations fondamentales du simulateur ATLAS, les types d'informations qui circulent dans l'entrée et la sortie d'ATLAS et l'ordre des différentes commandes (instructions) dans ATLAS.

## Références

- [1] Aspar B, Auberton Hervé AJ (2002) Silicon Wafer Bonding Technology for VLSI and MEMS Applications, Ed. S.S. Iyer, A.J. Auberton-Hervé, EMIS Processing. <https://doi.org/10.1049/pbep001e>
- [2] Celler GK, Cristoloveanu S (2003) J. Appl. Phys. 93 (9): 4955. <https://doi.org/10.1063/1.1558223>
- [3] Sakurai T, Matsuzawa A, Douseki T (2006) Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Springer New York, NY. <https://doi.org/10.1007/978-0-387-29218-2>
- [4] Khorabeh M, Orouji AA, Madadi D (2021) Improvement of a Novel SOI- MESFET with an Embedded GaN Layer for High-Frequency Operations. Silicon 14: 2757–2764. <https://doi.org/10.1007/s12633-021-01063-x>
- [5] Saremi M, Ebrahimi B, Afzali-Kusha A, Mohammadi S (2012) A partial-SOI LD MOSFET with triangular buried-oxide for breakdown voltage improvement. Microelectron. Reliab 51: 2069-2076. <https://dx.doi.org/10.1016%2Fj.microrel.2011.07.084>
- [6] Colinge JP (2004) Silicon-on-Insulator Technology: Materials to VLSI. 3rd ed. Kluwer Academic Publishers. <https://doi.org/10.1007/978-1-4757-2611-4>
- [7] Mohammadia H, Abdullaha H, Chang FD, Menon PS (2018) A modified two dimensional analytical model for short-channel fully depleted SOI MESFET's. Microelectronics Reliability 83: 173–179. <https://doi.org/10.1016/j.microrel.2018.03.004>
- [8] Atlas (2012) User's Manual: 2-D Device Simulator, Santa Clara, CA, USA.
- [9] Kuo JB, Su KW (1998) CMOS VLSI ENGINEERING Silicon-on-Insulator (SOI), Kluwer Academic, Dordrecht.
- [10] Udrea F, Garner D, Sheng K, Popescu A, Lim HT, Milne WI (2000) SOI power devices 12: 27 – 40. <https://doi.org/10.1049/ecej:20000104>
- [11] Izumi K, Doken M, Ariyoshi H (1978) C.M.O.S devices fabricated on buried SiO<sub>2</sub> layers formed by oxygen implantation into silicon. Electron. Lett.14: 593–594. <https://doi.org/10.1049/el:19780397>
- [12] Rudenko TE, Nazarov AN, Lysenko VS (2020) The advancement of silicon-on insulator (SOI) devices and their basic properties. Semiconductor Physics, Quantum Electronics & Optoelectronics 23 (3): 227-252. <https://doi.org/10.15407/spqeo23.03.22>
- [13] Bruel M (1995) Electronics Letters. 31: 1201-1202. <https://doi.org/10.1049/el:19950805>

- [14] Auberton Hervé J A, Ghyselen B, Letertre F, Maleville C, Barge T, Bruel M (1999) Electrochem. Soc. Proc 99 (3): 93-106.
- [15] Kononchuk O, Nguyen BY (2014) Silicon-On-Insulator (SOI) Technology Manufacture and Applications. <https://doi.org/10.1016/C2013-0-16306-4>
- [16] Colinge JP (2004) SOI for hostile environment applications. Proc. IEEE Intern. SOI Conf. <https://doi.org/10.1109/SOI.2004.1391530>
- [17] Lepkowski W, Wilk SJ, Parsi A, Saraniti M, Ferry D, Thornton TJ (2014) Avalanche breakdown in SOI MESFETs. Solid State Electron 91:78–80. <https://doi.org/10.1016/j.sse.2013.10.003>
- [18] Mohaddeseh M, Orouji A.A, Ramezani A, Keighobad D (2021) Physical Analysis on the DC and RF Operations of a Novel SOI-MESFET with Protruded Gate and Dual Wells. Silicon 14 : 3911–3917. <https://doi.org/10.1007/s12633-021-01174-5>
- [19] Ramezani Z, Orouji AA (2014) Improving Self-Heating Effect and Maximum Power Density in SOI MESFETs by Using the Hole’s Well Under Channel. IEEE Transactions On Electron Devices 61 (10): 3570-3573. <https://doi.org/10.1109/TED.2014.2352317>
- [20] Orouji AA, Shahnazarisani H, Anvarifard MK (2014) Simulation analysis of a novel dual-trench structure for a high power silicon-on-insulator metal–semiconductor field effect transistor, Superlattices and Microstructures 26: 506–511. <https://doi.org/10.1016/j.mssp.2014.05.040>
- [21] Shahnazarisani H, Orouji AA (2015) A Novel MESFET structure by U-shape buried oxide for improving the DC and RF Characteristics. Superlattices and Microstructures 82: 55–66. <http://dx.doi.org/10.1016/j.spmi.2015.01.026>
- [22] Abid L, Hadjoub I, Doghmane A, Abdaoui NE, Hadjoub Z (2022) A Novel Silicon on Insulator MESFET with Multi-II Regions to Improve DC and RF Performances. Silicon. <https://doi.org/10.1007/s12633-022-01880-8>
- [23] Suzuki K, Pidin S (2003) Short-channel single-gate SOI MOSFET model. IEEE Trans. Electron Devices 50 (5): 1297–1305. <https://doi.org/10.1109/TED.2003.813450>
- [24] Amiri IS, Mohammadi H (2019) Device Physics, Modeling, technology, and analysis for silicon MESFET. Springer Nat Swit AG. <https://doi.org/10.1007/978-3-030-04513-5>
- [25] Riley KF, Hobson MP, Bence SJ (2006) Mathematical Methods for Physics and Engineering: A Comprehensive Guide. 3rd ed. Cambridge University Press. [10.2277/0521861535](https://doi.org/10.2277/0521861535)
- [26] Stoer J, Bartels R, Gautschi W, Bulirsch R, Witzgall C (2013) Introduction to Numerical Analysis. 3rd ed. Springer New York.

[27] Chiang TK (2008) The new analytical subthreshold behavior model for dual material gate (DMG) SOI MESFET, 9th International Conference on Solid-State and Integrated-Circuit Technology 288–289. <https://doi.org/10.1109/ICSICT.2008.4734535>

[28] Chandan KS (2013) Technology Computer Aided Design Simulation for VLSI MOSFET .Crc Press Inc. <https://doi.org/10.1201/9781315216454>

[29] Pinto MR, Rafferty CS, Dutton RW (1984) “PISCES2 - Poisson and Continuity Equation Solver”, Stanford Electronics Laboratory Technical Report, Stanford University.

[30] Sze SM, Ng KK (2007) Physics of semiconductor devices, 3rd ed. Wiley, Hoboken. <https://doi.org/10.1002/0470068329>

[31] Selberherr S (1984) Analysis and Simulation of Semiconductor Devices. Wien, New York: Springer-Verlag. <https://doi.org/10.1007/978-3-7091-8752-4>

**Chapitre II**  
**Structure et caractéristiques de différents**  
**SOI MESFETs**

## II.1 Introduction

Les technologies à couches d'oxyde enterrées comme isolants, se sont largement développées en microélectronique en raison de leurs distincts et multiples avantages par rapport aux substrats massifs en silicium [1]; particulièrement faibles capacités parasites de source et de drain des MESFETs [2]. De plus, les technologies silicium sur isolant, SOI, offrent la possibilité de fonctionnement à haute vitesse, haute puissance et haute tension, ce qui les rend bien adaptées à de nombreuses applications microélectroniques, notamment en circuits intégrés à très grande échelle [3, 4].

Cependant, les SOI MESFET peuvent souffrir de certains phénomènes non désirables tels que l'auto-échauffement (SHE: *Self Heating*), l'effet de corps flottant (FBE: *Floating Body Effect*) et surtout une faible tension de claquage,  $V_{BR}$  [5, 6]. Des efforts considérables ont été déployés par les chercheurs pour améliorer la fréquence de coupure,  $f_t$ , la fréquence maximale d'oscillation,  $f_{max}$ , et le facteur de bruit minimal,  $F_{min}$ , des SOI MESFETs conventionnels [8, 9].

La tension de claquage et le courant de drain sont des paramètres importants pour les structures à base de SOI et donc de nombreux travaux ont été présentés pour améliorer ces paramètres critiques en introduisant des nouvelles structures [7, 10]. En effet, l'amélioration des caractéristiques DC et RF des dispositifs à effet de champ par de simples changements dans la structure de base est un sujet de recherche intéressant qui a reçu un grand intérêt durant ces dernières années. Ainsi, des changements dans la forme de base de ces dispositifs peuvent conduire à une structure intéressante qui présenterait des spécifications DC et RF bien améliorées [7]. C'est dans ce contexte que nous avons mené cette étude.

Dans ce chapitre, nous présentons tout d'abord quelques structures SOI MESFETs. Après, nous décrivons certaines caractéristiques de ces dernières tels que: la distribution du champ électrique, les caractéristiques du courant de drain, la tension de claquage, etc. Bien sûr pour chaque structure, nous effectuons une comparaison entre ses caractéristiques et celles d'un composant conventionnel, de même nous donnons ses avantages et la valeur ajoutée par rapport aux autres.

## II.2 Étude de la structure SO-ED-SOI MESFET

### II.2.1 Description de la structure

La figure II.1 représente une vue schématique de la structure SO-ED-SOI MESFET (*Symmetrical Oxide Boxes and Extended Drift Region -SOI MESFET*). A comparer au SOI MESFET conventionnel, C-SOI MESFET, ce composant comprend deux couches d'oxyde supplémentaires qui sont situées dans le canal au niveau des bords de la grille et sont constituées de  $\text{SiO}_2$ . De même, la forme de l'oxyde enterré est modifiée. Cette structure est symétrique et bien intéressante pour les circuits VLSI : *Very Large Scale Integration*.

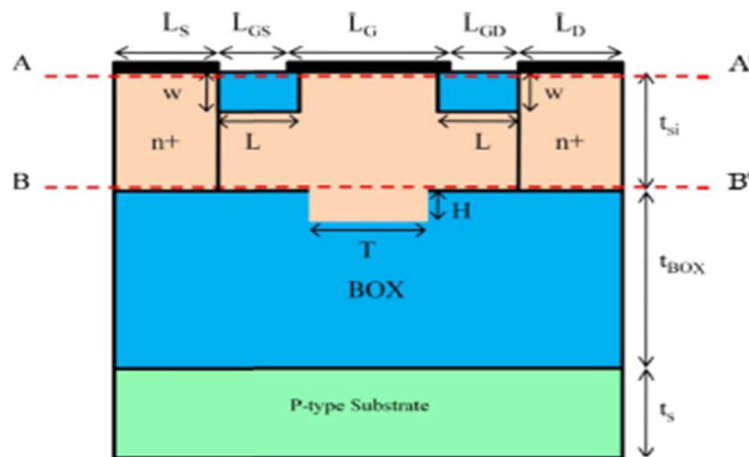
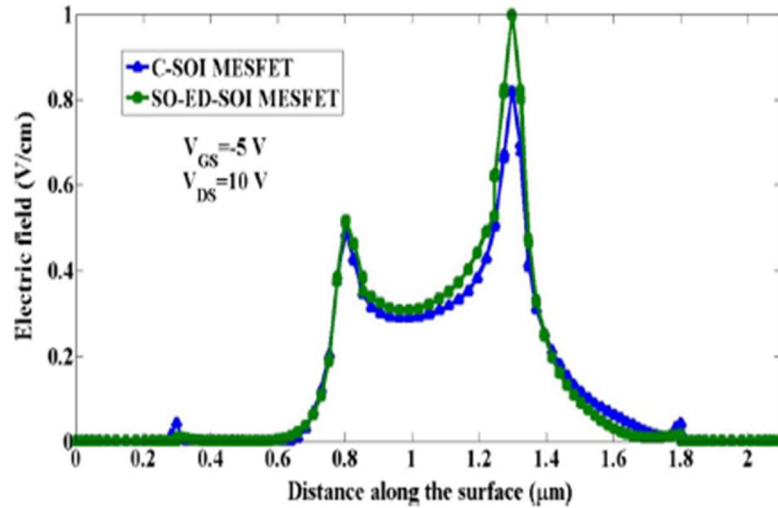


Figure II.1 : Section schématique transversale de la structure SO-ED-SOI MESFET [11].

### II.2.2 Distribution du champ et la tension de claquage

La couche d'oxyde supplémentaire insérée dans le canal entre la grille et le drain fait augmenter la tension de claquage de 13.5 V (C-SOI MESFET) à 16.1 V. La valeur maximale du champ électrique se produit au bord de la grille, coté drain. Si la valeur maximale du champ électrique est plus élevée pour un transistor, on s'attend à ce que le claquage apparait à des tensions inférieures. La valeur maximale du champ électrique de la structure SO-ED-SOI MESFET est supérieure à celle de la structure C-SOI MESFET, il est donc prévu que la tension de claquage de la structure SO-ED-SOI MESFET soit inférieure à celle de la structure C-SOI MESFET. Cependant, les résultats de la simulation montrent le contraire. La raison de cette augmentation de la tension de claquage est que

la zone de SiO<sub>2</sub> insérée dans la structure proposée conduit à des champs électriques plus élevés que le Si dans une structure classique. Notons que le champ électrique critique,  $\vec{E}_C$ , correspond au champ électrique maximal que le matériau peut supporter sans se détruire. Le champ électrique critique pour Si dans une structure conventionnelle est d'environ 0,3 MV/cm tandis que celui de la structure proposée est d'environ 10 MV/cm [12,13].



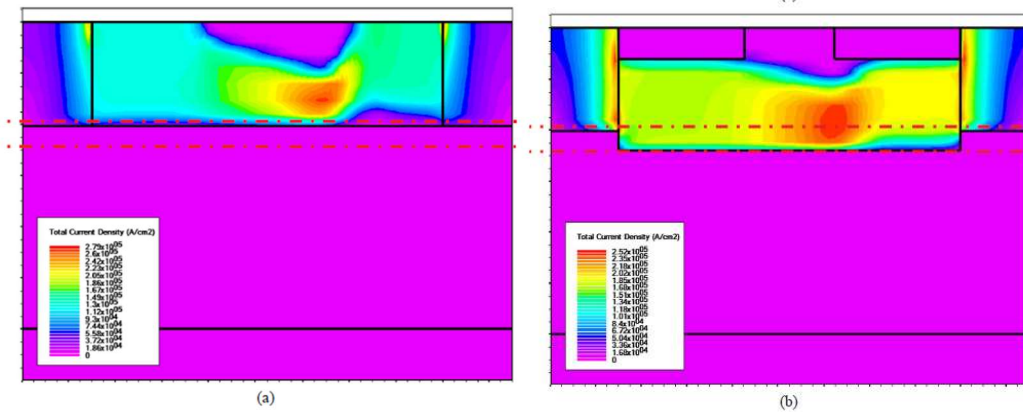
**Figure II.2** :.Distribution du champ électrique le long de la ligne de coupe AA' pour C-SOI MESFET et SO-ED-SOI MESFET [11].

### II.2.3 Variation du courant de drain

La figure II.3 montre l'effet de l'augmentation de l'épaisseur effective du canal de SO-ED-SOI MESFET. En effet, une augmentation de l'épaisseur du canal réduit la résistance du canal selon l'équation ci-dessous [14] :

$$R = \frac{\sigma \times L_G}{Z \times a_c} \quad (\text{II.1})$$

où  $a_c$  est l'épaisseur du canal,  $\sigma$  est la conductivité du canal,  $Z$  est la largeur du canal et  $L_G$  est la longueur de grille. Une diminution de la résistance du canal fait augmenter le courant de drain de la structure SO-ED-SOI MESFET. L'augmentation simultanée de la tension de claquage et du courant de sortie est une caractéristique importante pour la structure proposée car  $P_{\max}$  se trouve également améliorée.



**Figure II.3 :** Comparaison de la densité de courant totale : (a) de la structure conventionnelle et (b) de SO-ED-SOI MESFET à  $V_{GS} = 0.5 V$ ,  $V_{DS} = 5V$  [11].

## II.2.4 Performances RF

Dans le SO-ED-SOI MESFET, les couches d'oxyde réduisent le couplage capacitif entre les régions grille – source et grille – drain, conduisant ainsi à une réduction des capacités et améliorent les performances RF du dispositif. Également, le gain de puissance unilatérale, le gain maximum disponible et le gain de courant connaissent une amélioration respectivement égale à 63 %, 52% et 63,5 %. Ainsi, cette structure peut être considérée comme un bon candidat pour des applications haute puissance et haute fréquence.

## II.3 Étude du composant MGC-SOI MESFET

### II.3.1 Description du la structure

La figure II.4 représente la structure MGC-SOI MESFET (*Modified Gate Capacitances-SOI MESFET*) qui comporte, dans le canal sous la grille, une couche d'oxyde supplémentaire. Dans ce travail, l'idée principale est de contrôler les capacités de grille en modifiant les charges du canal. Notons que le gap d'énergie de l'oxyde est très large. Elle constitue donc une barrière pour les porteurs, les empêchant à le pénétrer. Ainsi, la densité des porteurs se trouve modifiée dans le canal, autour de l'oxyde.

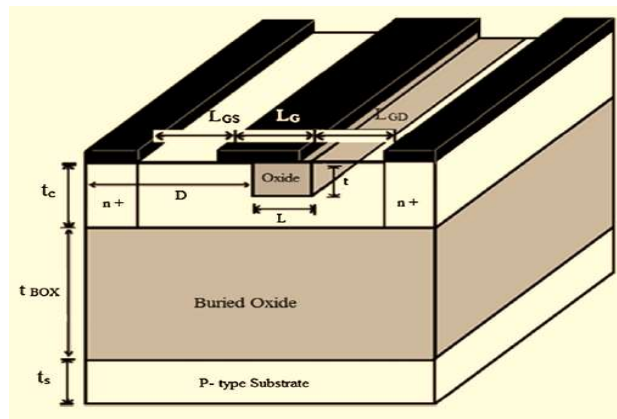


Figure II.4 : Section schématique transversale de MGC-SOI MESFET [9].

### II.3.2 Concentration des porteurs et tension de claquage

La figure II.5 montre les concentrations des porteurs libres (trous et électrons) à la surface du canal de la structure MGC-SOI MESFET en comparaison avec celle C-SOI MESFET.

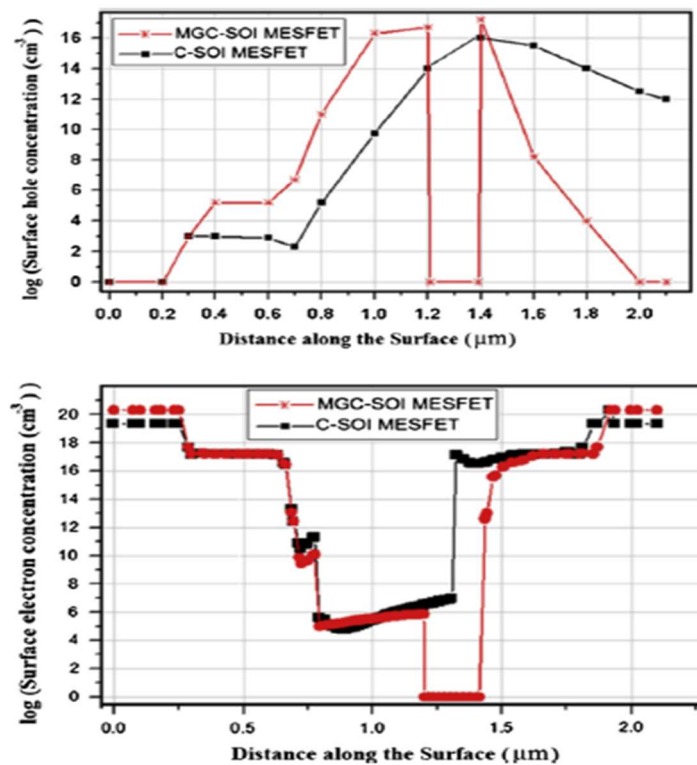


Figure II.5 : Comparaison des concentrations des trous et des électrons le long du canal pour les deux structures dans les conditions  $V_{GS} = -5 V$ ,  $V_{DS} = 13 V$  [9].

On constate bien que pour les électrons, les concentrations sont pratiquement identiques pour les deux structures la densité des trous diminue après l'oxyde. Il est à noter que dans la structure MGC-SOI MESFET, l'encombrement des lignes au bord de la grille est faible en raison de l'effet de localisation de l'oxyde sous grille. La structure proposée peut donc tolérer des tensions beaucoup plus élevées,  $V_{BR}$  est passé de 13 V à 19 V. De même, en raison de la réduction des charges du canal, les performances haute fréquence de la structure MGC-SOI MESFET sont améliorées, particulièrement les capacités grille-source, grille-drain et le bruit.

## II.4 Étude du composant T-SOP-SOI MESFET

### II.4.1 Description de la structure

La figure II.6 illustre la structure T-SOP-SOI MESFET (*T-Shaped Oxide Part-SOI MESFET*). Cette nouvelle structure améliore les caractéristiques DC et RF du dispositif en incorporant une région d'oxyde d'hafnium qui a la forme d'une lettre T inversée dans la région du canal. Ce T inversé est situé dans la zone où le champ électrique atteint sa valeur maximale.

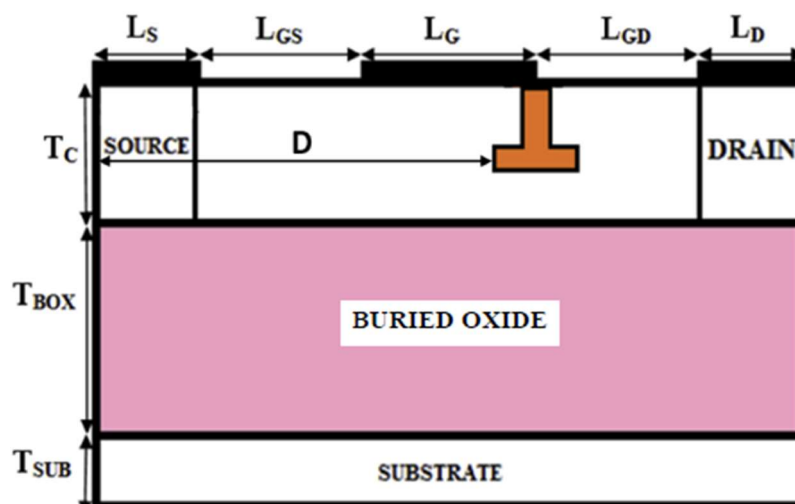
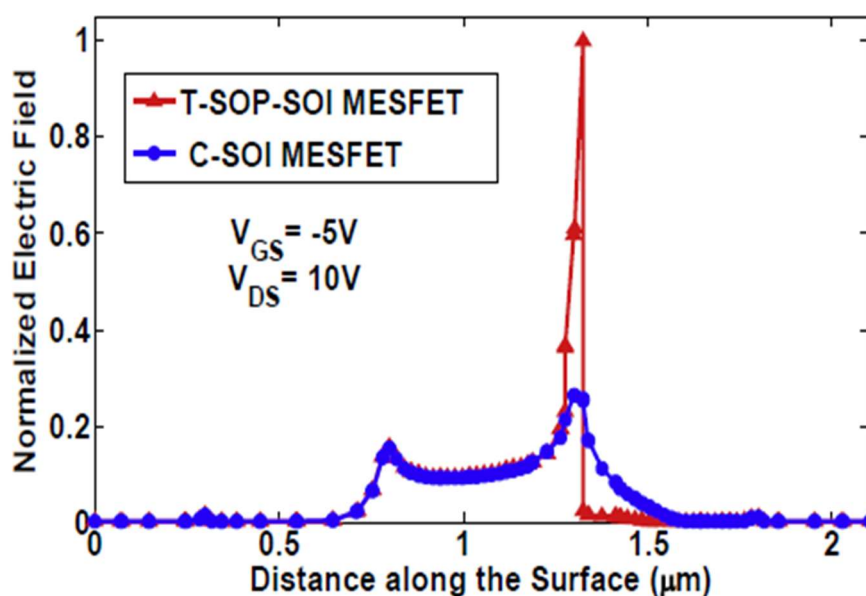


Figure II.6 : Section schématique transversale de T-SOP-SOI MESFET [15].

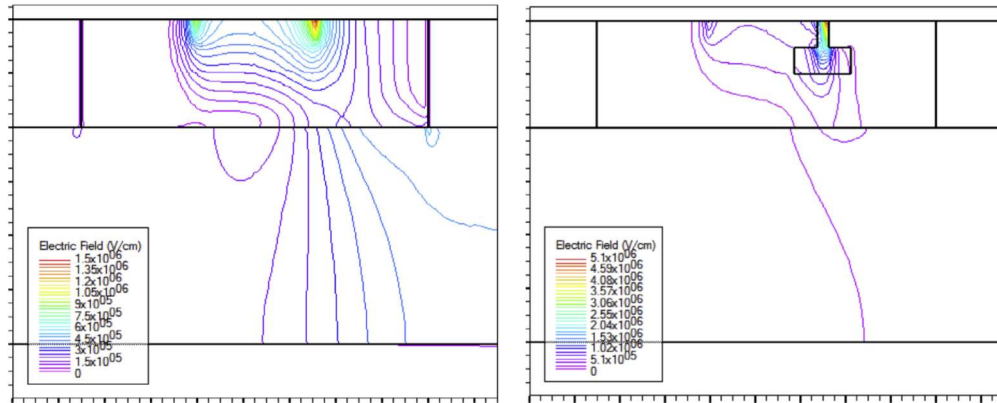
### II.4.2 Distribution du champ électrique et tension de claquage

La figure II.7 illustre le champ électrique normalisé de la structure T-SOP-SOI MESFET et la conventionnelle. Il est clair que le pic du champ électrique pour le transistor C-SOI MESFET est bien inférieur à celui de T-SOP-SOI MESFET. Cependant ce pic, de valeur plus élevée, n'entraîne pas de claquage car, la région d'oxyde d'hafnium augmente la tension de claquage du dispositif en raison de son champ électrique critique plus élevé par rapport au silicium utilisé dans la structure conventionnelle. La tension de claquage de la structure conventionnelle est de 14 V alors qu'elle s'élève à 19,5 V dans la structure proposée.



**Figure II.7:** Champ électrique normalisé le long de la surface du dispositif pour les structures C-SOI MESFET et T-SOP-SOI MESFET [15]

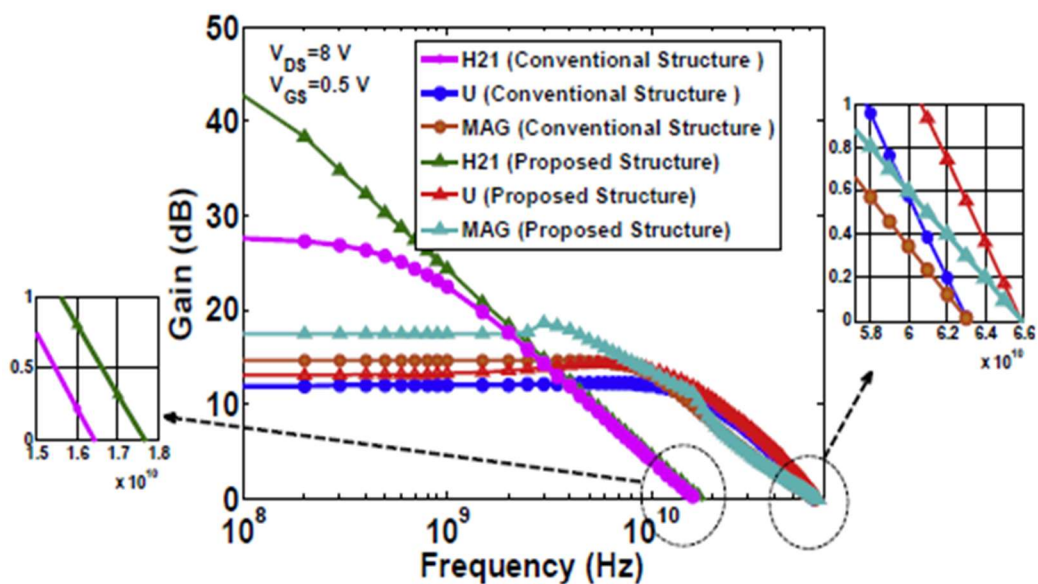
La figure II.8 illustre la distribution bidimensionnelle des lignes de champ électrique du C-SOI MESFET et du T-SOP-SOI MESFET. Dans la structure proposée, les lignes du champ électrique sont compactes dans la région de HfO<sub>2</sub> positionnée au bord de grille. Par ailleurs, bien que cette structure augmente la tension de claquage, elle entraîne une diminution de la charge du canal en régime de saturation dans la région sous la grille car la région T-SOP empêche le flux de charges et entraîne une baisse du courant de drain. Cependant, cette réduction du courant de saturation n'a aucun impact sérieux sur les performances du dispositif pour les applications de puissance.



**Figure II.8 :** Distribution bidimensionnelle des lignes du champ électrique pour : (a) C-SOI MESFET et (b) T-SOP-SOI MESFET à  $V_{GS} = 5 V$  et  $V_{DS} = 10 V$  [15]

### II.4.3 Effet de la fréquence sur le gain

En plus de la tension de claquage, la structure T-SOP-SOI MESFET améliore les caractéristiques RF du transistor. La figure II.9 représente les variations du gain en courant ( $H_{21}$ ), du gain en puissance unilatérale (U) et du gain maximum disponible (MAG) en fonction de la fréquence pour les deux structures. Il est clair que les trois gains sont tous plus élevés pour la structure proposée à comparer à celle conventionnelle. Par conséquent, la structure T-SOP-SOI MESFET peut être beaucoup plus performante que la C-SOI MESFET pour les applications hautes fréquences.



**Figure II.9 :** Variation de U,  $H_{21}$  et MAG en fonction de la fréquence pour les structures conventionnelle et proposée [15].

## II.4.4 Fréquence de coupure et fréquence d'oscillation maximale

La fréquence à laquelle le gain en courant atteint 0 dB est appelée, fréquence de coupure,  $f_t$ . Cette fréquence est d'environ 16,5 GHz pour le C-SOI MESFET et augmente pour atteindre  $\approx 17,5$  GHz pour le T-SOP-SOI MESFET.

La fréquence d'oscillation maximale,  $f_{max}$  correspond à un gain en puissance unilatéral de 0 dB;  $f_{max}$  est de l'ordre de 63 GHz pour le C-SOI MESFET et de 66 GHz pour le T-SOP-SOI MESFET. Ces deux fréquences sont décrites par les équations suivantes [16, 17] :

$$f_t = \frac{g_m}{2\pi(C_{GS}+C_{GD})} \quad (II.2)$$

$$f_{max} = \frac{f_t}{2} \sqrt{\frac{R_{DS}}{R_G}} \quad (II.3)$$

## II.5 Étude du SOI MESFET à haute tension

### II.5.1 Description de la structure

Dans la structure représentée par la figure II.10, on constate l'existence de deux tranches constituées de deux matériaux différents : (i) l'une en oxyde d'hafnium  $HfO_2$  est créée dans la région du canal et (ii) l'autre en silicium est créée dans l'oxyde enterré. Le but de la réalisation d'une telle structure est de disperser les lignes de champ électrique latéral à l'intérieur de la région du canal sans réduction du courant de drain.

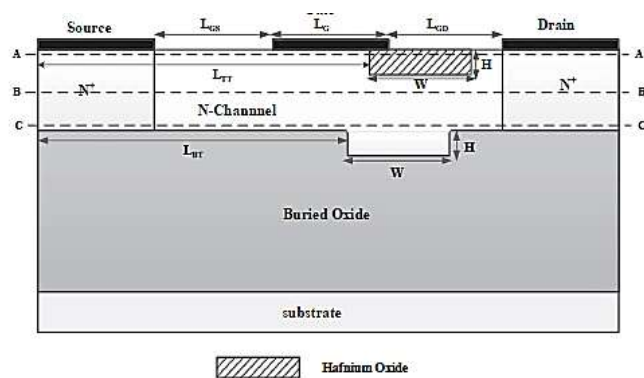
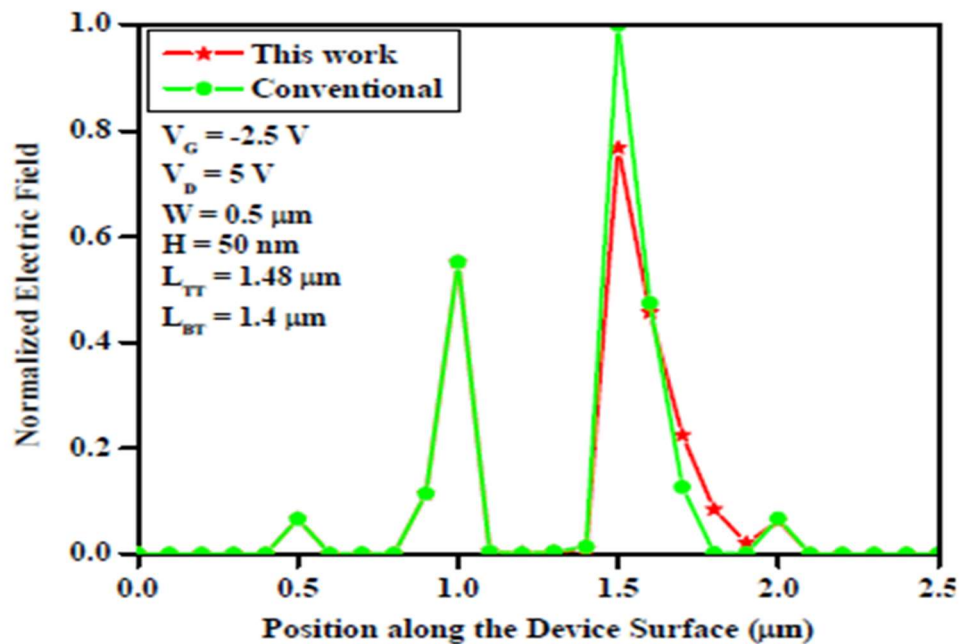


Figure II.10 : Section schématique transversale de la structure proposée [18].

## II.5.2 Distribution du champ électrique et tension de claquage

Le champ électrique autour du bord de la grille près du drain sera diffusé par les tranches et par conséquent, une amélioration des performances électriques du dispositif sera réalisée. La figure II.11 montre que le champ électrique de la structure proposée présente moins de pic que celui de la structure conventionnelle.



**Figure II.11 :** Distribution du champ électrique le long de la ligne de coupe AA' pour la structure proposée et le C-SOI MESFET à  $V_{GS} = 0\text{ V}$  et  $V_{GS} = 0.5\text{ V}$  [18].

Par ailleurs, la nouvelle structure donne une tension de claquage,  $V_{BR}$ , de 19 V, alors que  $V_{BR}$  est seulement égal à 11 V pour la structure conventionnelle. En effet, l'existence de tranches rectangulaires a permis l'obtention d'une tension de claquage 72% supérieure à celle de la structure conventionnelle. De même, le courant de drain pour la structure SOI MESFET est plus important que celui de C-SOI MESFET (figure II.12).

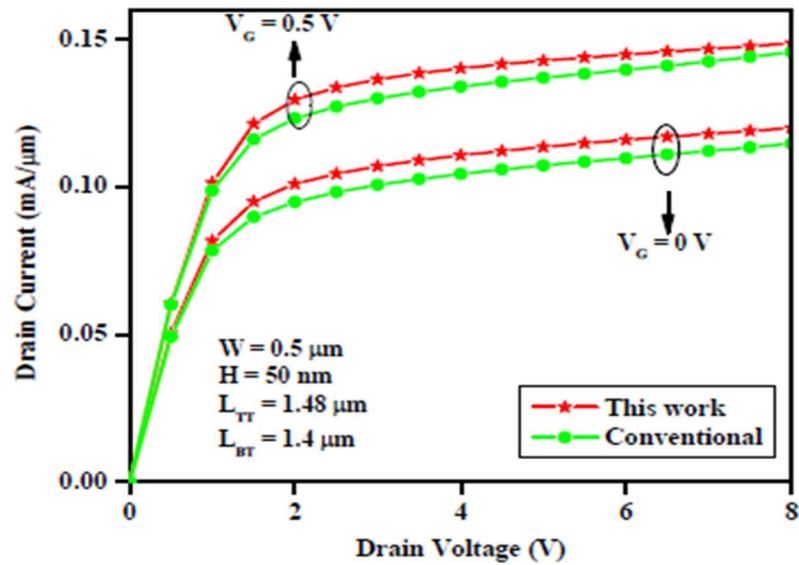


Figure II.12 : Caractéristiques  $I_{DS}(V_{DS})$  du C-SOI MESFET conventionnel et de la structure proposée à  $V_{GS} = -2,5\text{ V}$  et  $V_{DS} = 5\text{ V}$  [18].

### II.5.3 Conductance drain-source

La conductance drain-source, qui est un paramètre très important dans les opérations petit signal, est représentée en fonction de la tension de grille pour les deux structures dans la figure II.13. Il est clair que cette structure présente une conductance drain-source inférieure à la structure classique. Ceci permet à la structure proposée de fonctionner dans les applications haute fréquence avec une meilleure fiabilité élevée à comparer à la structure conventionnelle.

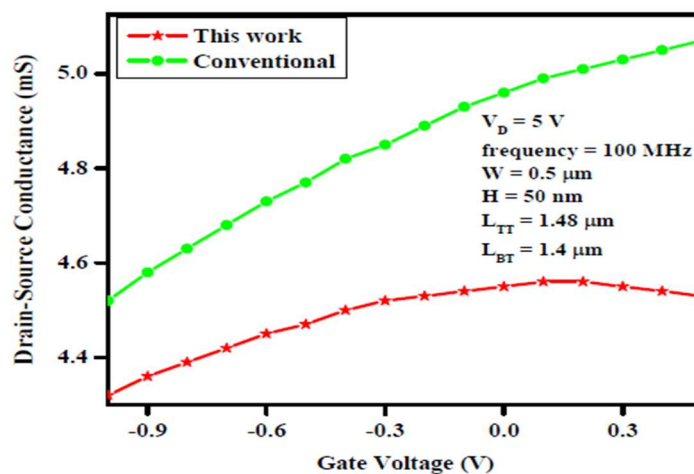
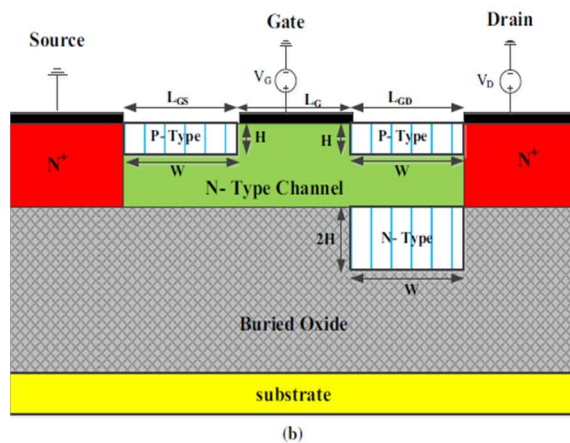


Figure II.13 : Conductance drain-source en fonction de la tension de grille pour la structure proposée et C-SOI MESFET à  $V_{DS} = 5\text{ V}$  et  $f = 100\ \text{MHz}$  [18].

## II.6 Étude du transistor TT-SOI MESFET

### II.6.1 Description de la structure

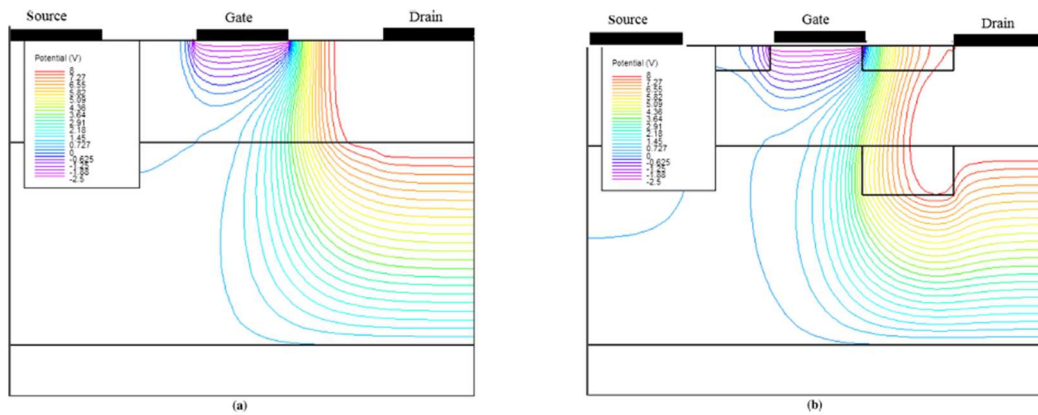
La configuration de la structure TT-SOI MESFET (*Triple Trenches-SOI MESFET*) est illustrée dans la figure II.14. On note l'existence de deux tranches séparées et créées à l'intérieur du canal et une troisième située à l'intérieur de l'oxyde enterré. Les tranches supérieures dopées de type p modifient la distribution du potentiel afin d'obtenir un champ électrique critique plus faible. Quant à la tranche inférieure, de type n est insérée pour compenser partiellement la diminution du courant de drain de la structure proposée.



**Figure II.14:** Conductance drain-source en fonction de la tension de grille pour la structure proposée et C-SOI MESFET à  $V_{DS} = 5 \text{ V}$  et  $f = 100 \text{ MHz}$  [19].

### II.6.2 Distribution des lignes du potentiel et tension de claquage

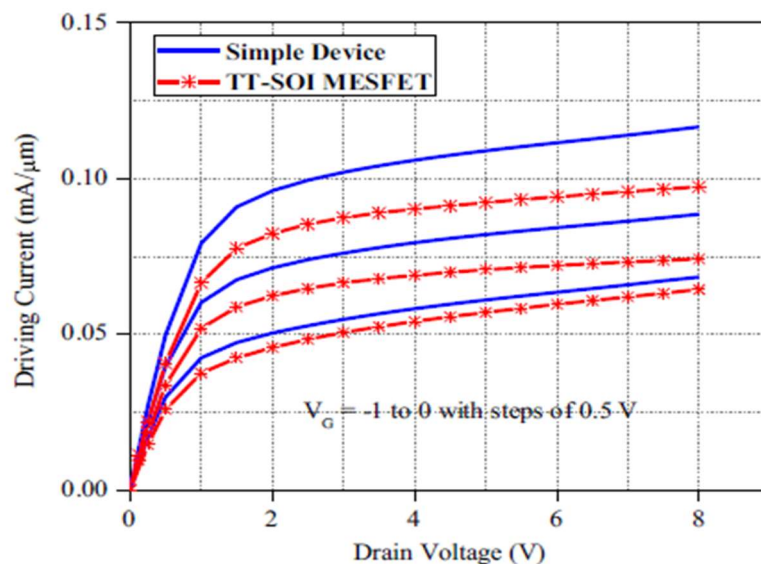
La figure II.15 illustre la distribution bidimensionnelle des lignes du potentiel à  $V_{GS} = -2.5 \text{ V}$  et  $V_{DS} = 8 \text{ V}$  pour (a) C-SOI MESFET et (b) TT-SOI MESFET. Il est clair que l'encombrement des lignes du potentiel aux coins de la grille est considérablement réduit pour le TT-SOI MESFET. Les tranches supérieures créées à l'intérieur du canal pour la structure proposée absorbent les lignes du potentiel conduisant à un profil de potentiel plus uniforme. Cela signifie que le champ électrique critique, qui est proportionnel à la variation du potentiel, est réduit dans la structure TT-SOI MESFET. Le transistor TT-SOI MESFET donne une tension de claquage  $V_{BR} = 13,5 \text{ V}$ , soit une amélioration de 30% par rapport à celle du transistor simple avec  $V_{BR} = 10,5 \text{ V}$ .



**Figure II.15 :** Distribution bidimensionnelle des lignes du potentiel à  $V_{GS} = -2.5 V$  et  $V_{DS} = 8 V$  pour (a) C-SOI MESFET et (b) TT-SOI MESFET [19].

### II.6.3 Caractéristiques de sortie

La figure II.16 montre les caractéristiques de sortie des deux MESFETs. On note, quelle que soit la tension de drain appliquée, le courant de drain de la structure proposée est beaucoup plus faible. Par conséquent, malgré l'amélioration de la tension de claquage, le TT-SOI MESFET souffre d'un courant plus faible que celui du C-SOI MESFET. Il est évident que la conduction du canal est diminuée par les tranches supérieures encastées.

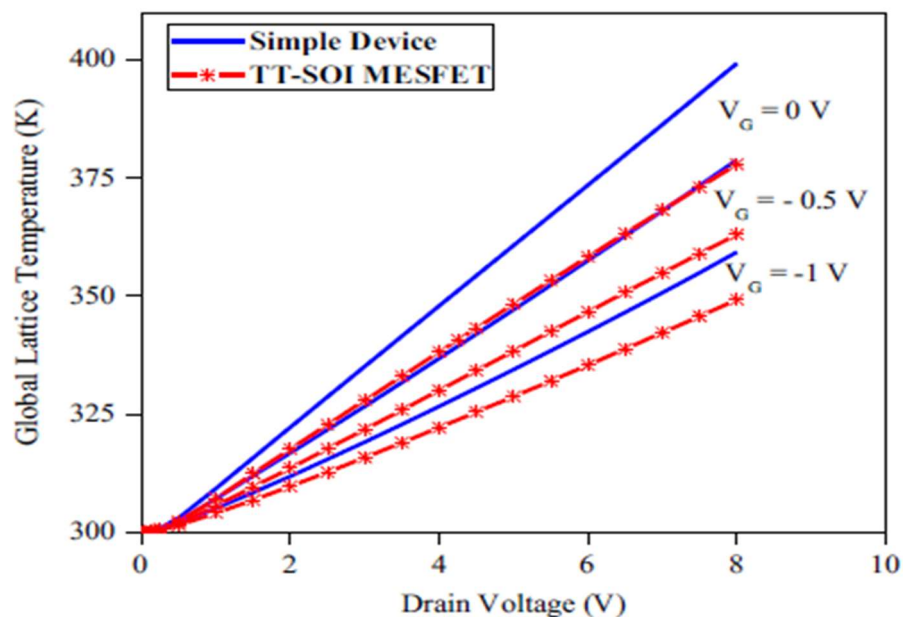


**Figure II.16 :** Caractéristique  $I_{DS}(V_{DS})$  pour TT-SOI MESFET et C-SOI MESFET [19].

## II.6.4 Effets de l'auto-échauffement

Les effets d'auto-échauffement représentent un problème majeur pour les structures à base de technologie SOI. Généralement, l'oxyde enterré empêche la dissipation facile de la chaleur dans tout le dispositif. En conséquence, la température interne augmente au fur et à mesure que la tension de drain augmente, conduisant à une dégradation des performances électriques [19].

La figure II.17 illustre la température du réseau global du composant en fonction de la tension de drain aux polarisations de grille respectivement égale à  $-1$  V,  $-0,5$  V et  $0$  V pour la deux structure (TT-SOI MESFET et classique). Il est clair que la température globale de la structure proposée est inférieure à celle de la structure simple. En effet, la tranche inférieure noyée dans l'oxyde enterré augmente l'efficacité de la conduction thermique du canal, ce qui entraîne une réduction de la température globale du composant [19].

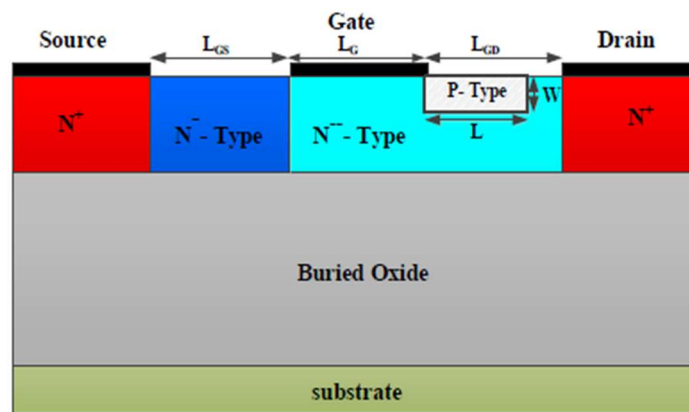


**Figure II.17 :** Variation de la température du réseau globale en fonction de la tension de drain pour le TT-SOI MESFET et la structure simple [19].

## II.7 Étude du composant SPL-DE-SOI MESFET

### II.7.1 Description de la structure

La figure II.18 illustre le SPL-DE-SOI MESFET (*Separator P-type Layer Doping Engineering-SOI MESFET*). Ce composant possède les mêmes paramètres que le C-SOI MESFET, sauf que la nouvelle structure possède une couche de séparation de type P. En effet, cette couche de type p aide la structure SPL-DE-SOI MESFET à réduire la région de déplétion avec la formation d'une jonction pn supplémentaire. Par ailleurs, afin d'obtenir un courant de drain élevé sans diminution de la tension de claquage, la région de type n entre contact grille-source est plus dopée à comparer à la région du canal conducteur [20].



**Figure II.18** : Section schématique transversale de la structure SPL-DE-SOI MESFET [20].

### II.7.2 Distribution des lignes de champ et tension de claquage

Au vu de l'ingénierie du dopage, l'utilisation de la couche de séparation de type P dans la structure proposée conduit à une augmentation du contrôle de la distribution du potentiel. La figure II.19 représente les variations du champ électrique normalisé le long de la surface du composant. Il est clair qu'au bord de la grille coté drain, le SPL-DE-SOI MESFET exprime un champ électrique maximal moins important que celui de C-SOI MESFET. Également, la région de déplétion est complètement désertée à des tensions de drain inférieures à celles de la structure conventionnelle entraînant une augmentation de la tension de claquage à 14 V [20] alors qu'elle est de 10 V pour la structure C-SOI MESFET (figure II.20).

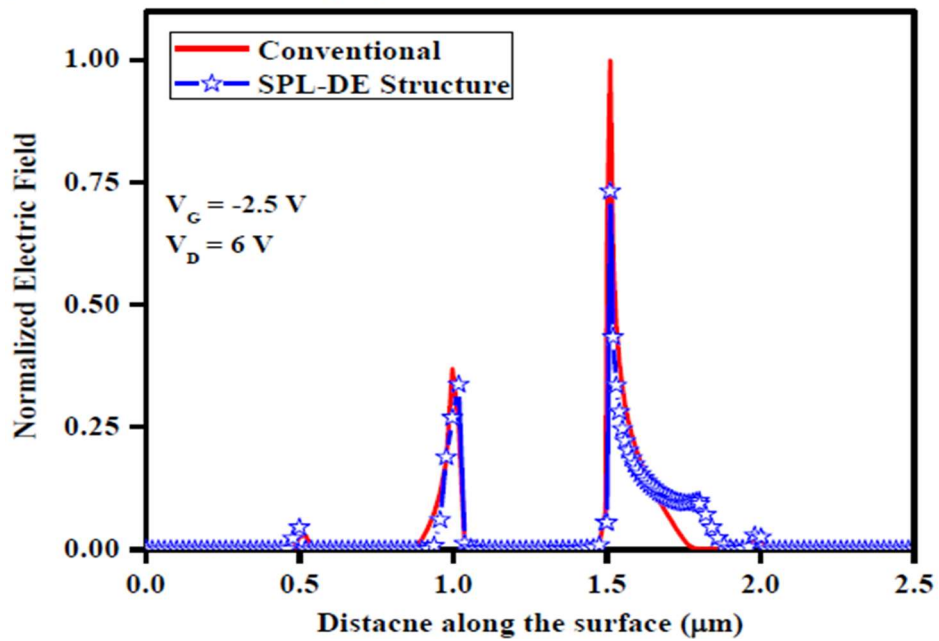


Figure II.19 : Distribution normalisée du champ électrique le long de la surface du SPL-DE SOI MESFET et le C-SOI MESFET [20].

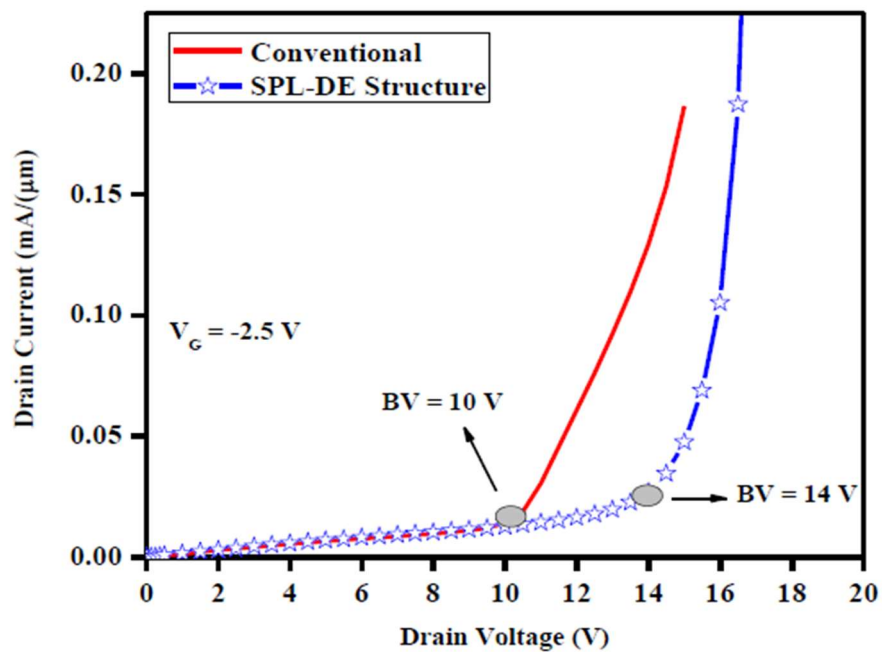
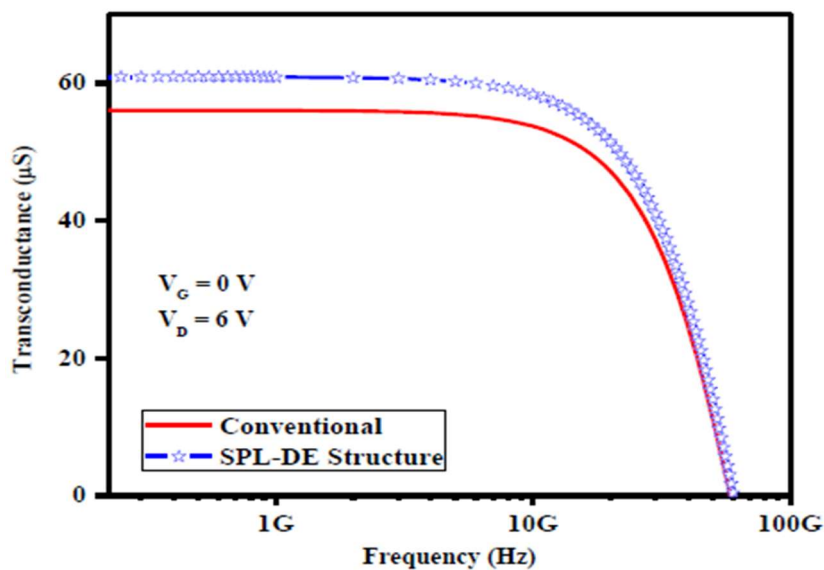


Figure II.20 : Evolution du courant de drain en fonction de la tension de drain pour le SPL-DE-SOI MESFET et C-SOI MESFET [20].

### II.7.3 Caractéristique radiofréquence

La figure II.21 représente la transconductance ( $g_m$ ), qui est l'un des paramètres les plus importants dans les applications à petit signal, en fonction de la fréquence. La comparaison de  $g_m$  entre le SPL-DE-SOI MESFET et le C- SOI MESFET montre que  $g_m$  de la structure proposée est supérieur à celui de la structure conventionnelle. En effet, le rôle de la couche de type P est essentiel dans l'extension de la région de déplétion sous la grille, dans le canal conducteur, diminuant ainsi le couplage entre la grille et le drain ce qui conduit à la réduction de la capacité grille-drain [20].

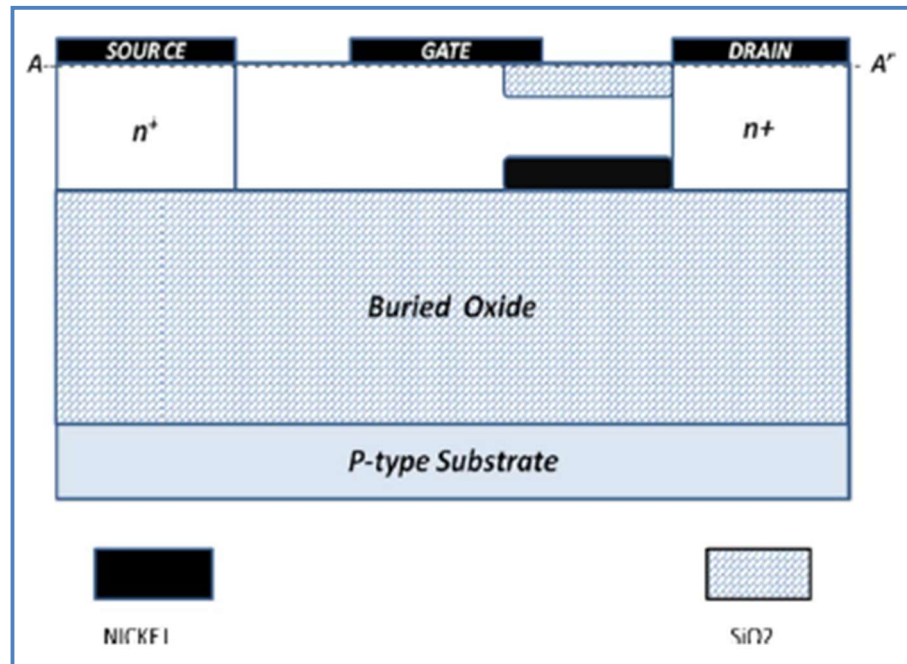


*Figure II.21 : Variation de la transconductance en fonction de la fréquence pour le SPL-DE-SOI MESFET et le C-SOI MESFET [20].*

## II.8 Étude du transistor POML-SOI MESFET

### II.8.1 Description de la structure

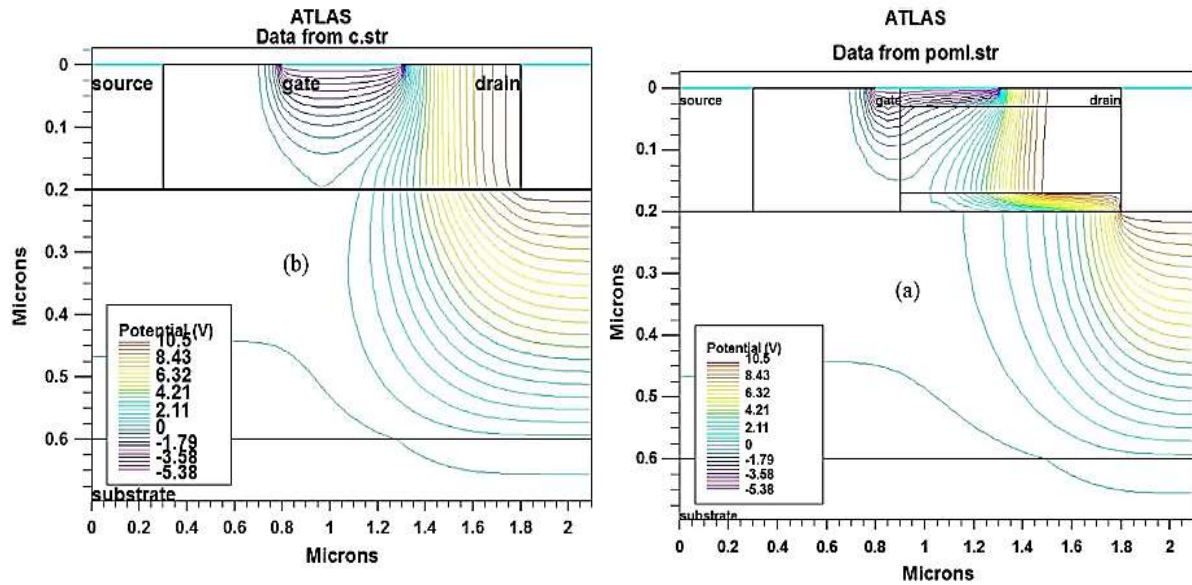
La figure II.22 représente la structure d'un nouveau transistor à effet de champ au silicium sur isolant, proposé pour des applications en haute tension et radiofréquence. Cette structure comprend des couches d'oxyde-métal supplémentaires positionnées parallèlement dans le canal conducteur, elle est connue sous le nom de POML-SOI MESFET (*Parallel Oxide Metal Layers-SOI MESFET*) [21].



**Figure II.22 :** Section transversale de la structure POML-SOI MESFET [21].

## II.8.2 Distribution des lignes de potentielle

La figure II.23 montre les contours d'équipotentiels pour les deux structures proposées et classique. L'existence d'une région d'oxyde rend principalement le potentiel des lignes plus proches sous le métal de la grille côté drain et augmente le champ électrique par rapport à son homologue C-SOI MESFET. Par ailleurs, le champ électrique critique plus élevé de la région d'oxyde supplémentaire améliore la tension de claquage. De plus, la couche métallique à la partie inférieure de la configuration parallèle permet une gestion plus efficace du champ électrique. En effet, l'insertion d'une couche métallique disperse partiellement les lignes de potentiel et aide à réduire la dérivation du potentiel et par conséquent à augmenter la tension de claquage. Ces deux facteurs sont responsables de l'amélioration de la tension de claquage dans la structure POML-SOI MESFET. Cette tension est de 13,5 V pour le C-SOI MESFET et de 29 V pour le POML-SOI MESFET ce qui donne une amélioration de 114% [21].



**Figure II.23:** Contours d'équipotentiels simulés à  $V_{DS} = 10V$ ,  $V_{GS} = -5 V$  pour (a) POML-SOI MESFET et (b) C-SOI MESFET [21].

### II.8.3 Courant de drain et puissance de sortie

À différentes tensions source – grille, une faible réduction de la densité du courant de la nouvelle structure dispositif est constatée par rapport à celle du C-SOI MESFET. Cette réduction est due à la diminution de la section efficace du canal conducteur du POML-SOI MESFET causée par l'insertion des couches parallèles [21].

Cependant, la densité de puissance de sortie maximale est améliorée de 133% pour le POML-SOI MESFET. En outre, les couches parallèles améliorent les fréquences d'oscillation et de coupure maximales respectivement de 11% et 3,3% [21].

### II.8.4 Capacité grille - drain

La figure II.24 illustre la capacité grille–drain,  $C_{GD}$ , à différentes polarisations et à une fréquence de 10 GHz. On observe que, quelle que soit la polarisation considérée, cette structure a une capacité inférieure à celle du composant conventionnel. La raison principale de cette amélioration est attribuée d'une part au rôle de la couche d'oxyde supplémentaire dans le canal et d'autre part à la création d'une nouvelle capacité due à la présence d'une couche métallique supplémentaire. Cette dernière constitue un blocage pratique en élargissant la région de déplétion sous la grille dans le canal et minimise le

couplage entre la sortie et l'entrée. En outre, la capacité de la région métallique supplémentaire est placée en série avec  $C_{GD}$  réduisant ainsi la capacité totale entre la grille et le drain [21].

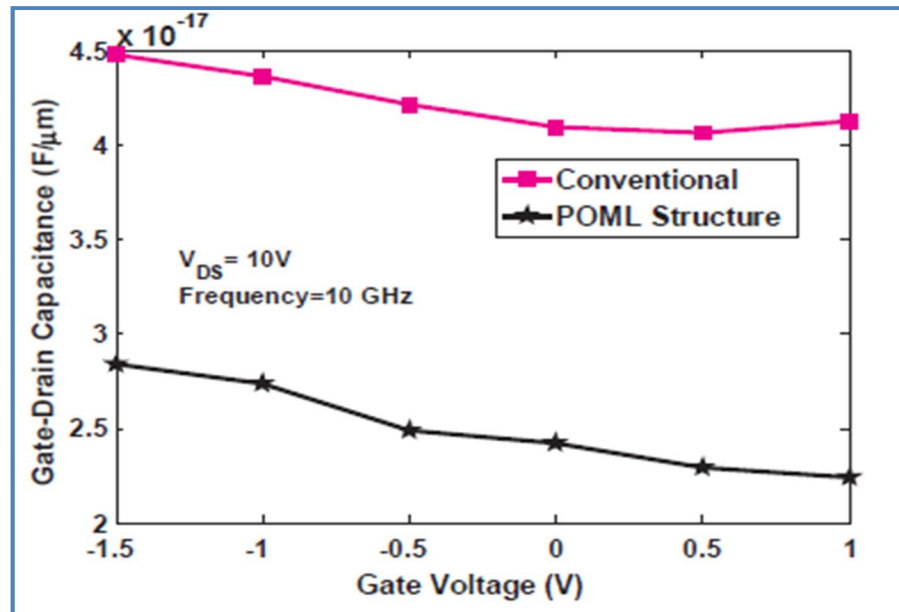


Figure II.24 : Capacité grille-drain à différentes tensions grille-source pour POML-SOI MESFET et C-SOI MESFET [21].

## II.9 Étude du SOI MESFET à contact de grille décalé

### II.9.1 Description de la structure

La structure SOI MESFET à contact de grille décalée, SGE-SOI MESFET (*Shifted Gate Electrode-SOI MESFET*) est illustrée par la figure II.25. Cette structure comprend deux modifications : la première consiste à insérer une couche métallique dans le fond du canal, côté drain et la seconde consiste à déplacer l'électrode de grille vers le côté gauche, vers le contact de source. Ce dernier éloigne l'électrode de grille de la région de drain, diminue donc les lignes du champ électrique et augmente ainsi la tension de claquage [7].

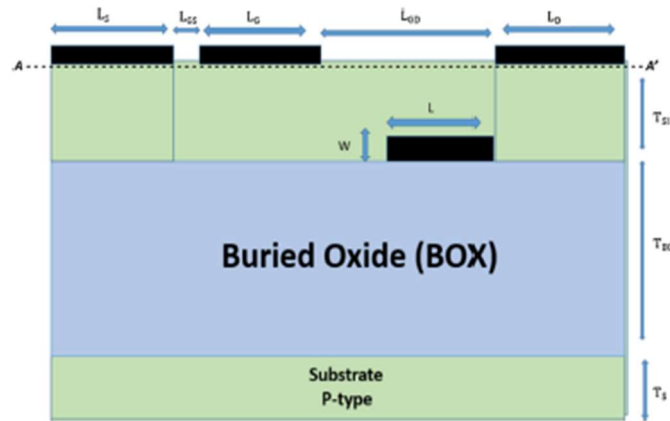


Figure II.25 : Section transversale de la structure proposée [7].

## II.9.2 Distribution des lignes du potentiel dans la structure

La figure II.26 représente la distribution des lignes des potentiels pour les deux structures : classique et nouvelle dont le claquage est supérieur de 11 V à comparer au C-SOI MESFET. On constate que dans la nouvelle structure, avec une distance entre contact grille - drain plus large, la densité des lignes au bord de la grille est réduite. En comparaison avec la structure conventionnelle où ces lignes présentent un motif dense dans la région du drain. De plus, ces lignes sont plus aplaties côté drain et surtout elles sont serrées dans la région du métal rajoutée ; ceci augmente la tension du claquage de la structure proposée [7].

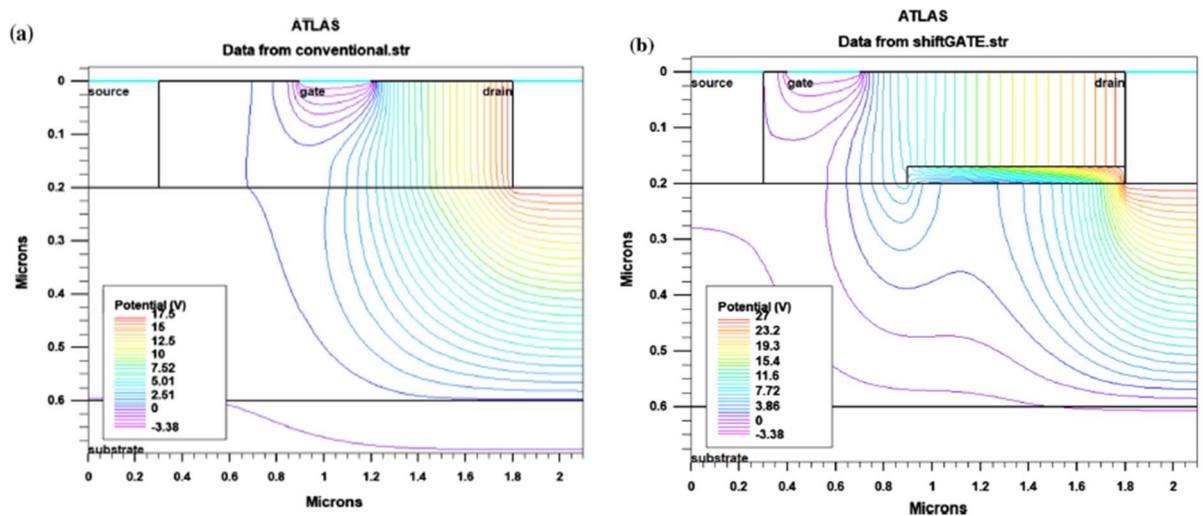


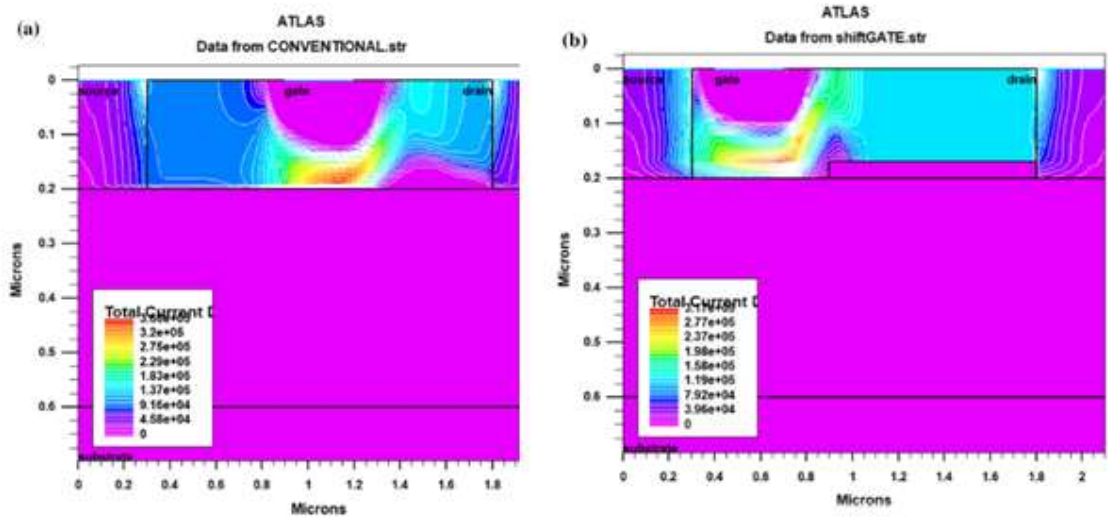
Figure II.26 : Distribution bidimensionnelle des lignes du potentiel à  $V_{DS}=V_{BR}$ , pour (a) C-SOI MESFET et (b) structure proposée [7].

### II.9.3 Caractéristique de sortie et densité de courant

Le spectre de la densité de courant des deux structures à une tension de grille de - 3 V et une tension de drain de 5 V est illustrée à la figure II.27. Il est à noter que l'application d'une tension négative sur la grille conduit à l'apparition d'une zone de déplétion (sous la grille) qui s'étend sur une partie du canal, réduisant ainsi la largeur effective du canal et par conséquent le flux du courant selon l'équation ci-dessous sachant que le courant de drain est le produit de la surface du canal par la mobilité électronique, la densité de charge et le champ électrique [22]:

$$I_{Drain} = z(a_c - h(x))\mu_n q N_D \frac{dv}{dx} \quad (II.4)$$

où  $N_D$  est la concentration des donneurs,  $q$  est la charge électronique,  $a_c$  est l'épaisseur du canal,  $h(x)$  est l'épaisseur de la zone dépeuplée des porteurs et  $(a_c - h(x))$  est la section effective du canal.



**Figure II.27 :** Comparaison de la densité de courant totale des structures : (a) conventionnelle et (b) nouvelle à  $V_{GS} = -3 V$ ,  $V_{DS} = 5 V$  [7].

Notons que la largeur de la zone de déplétion est un paramètre très important qui affecte la densité du courant. Ce problème est résolu en déplaçant l'électrode de grille vers la source. Ainsi, la forme de la zone de déplétion se trouve modifiée et sa largeur sous la grille diminue conduisant à une ouverture du canal plus importante et par conséquent une augmentation du courant de drain.

La figure II.28 montre le courant des deux structures à différentes tensions grille-source. Comme on peut le constater, le courant de la nouvelle structure, pour les deux valeurs de la tension de grille : - 1 V et 0 V, est supérieur à celui de la structure de base [7].

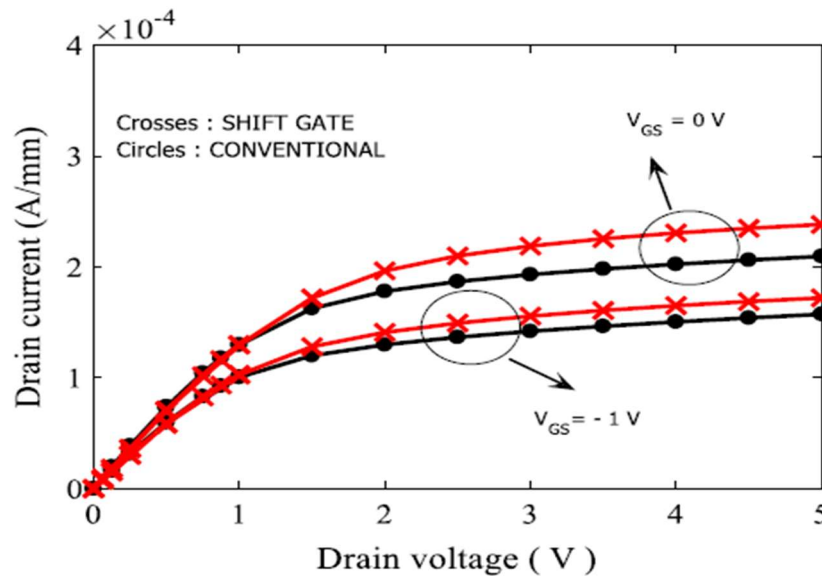


Figure II.28 : Courant de drain en fonction de la tension drain-source pour les deux structures [7].

## II.10 Étude du composant SPC-SOI MESFET

### II.10.1 Description de la structure

La figure II.29 représente le transistor SPC-SOI MESFET (*Spread Potential Contours towards the drain-SOI MESFET*). Comme on peut le voir, la structure SPC-SOI MESFET se compose d'une plaque de champ caché dans le BOX et de deux régions isolantes placées de part et d'autre de la grille [23]. Le but de la conception de cette structure est d'obtenir :

- (i) Une haute puissance du dispositif.
- (ii) Une augmentation de la tension de claquage,
- (iii) Une amélioration du courant de drain.

Pour cette raison, l'optimisation des dimensions et de la position de la plaque de champ, et des oxydes ont été choisis en tenant compte de la densité de puissance de sortie maximale et des caractéristiques en fréquence.

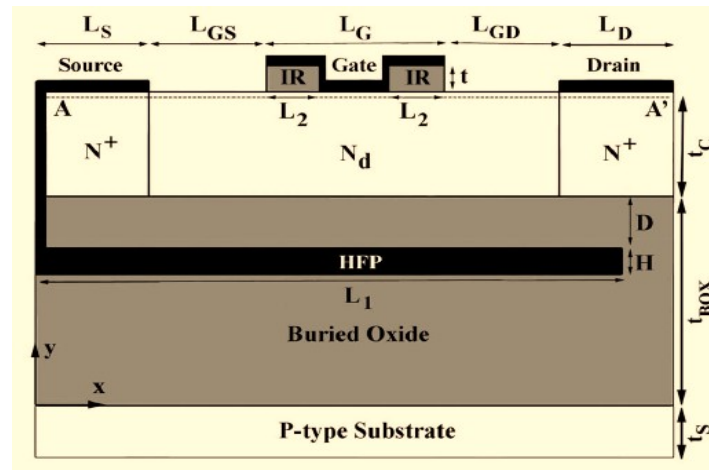


Figure II.29 : Vue en coupe transversale de la structure SPC-SOI MESFET [23]

## II.10.2 Distribution du champ électrique et courant de drain

La figure II.30 montre la distribution du champ électrique aux tensions de claquage des deux structures dans la ligne de coupe AA' à  $V_{DS} = V_{BR}$  et  $V_{GS} = -1V$ . Augmenter la tension de claquage dans les dispositifs SOI consiste à créer des pics supplémentaires

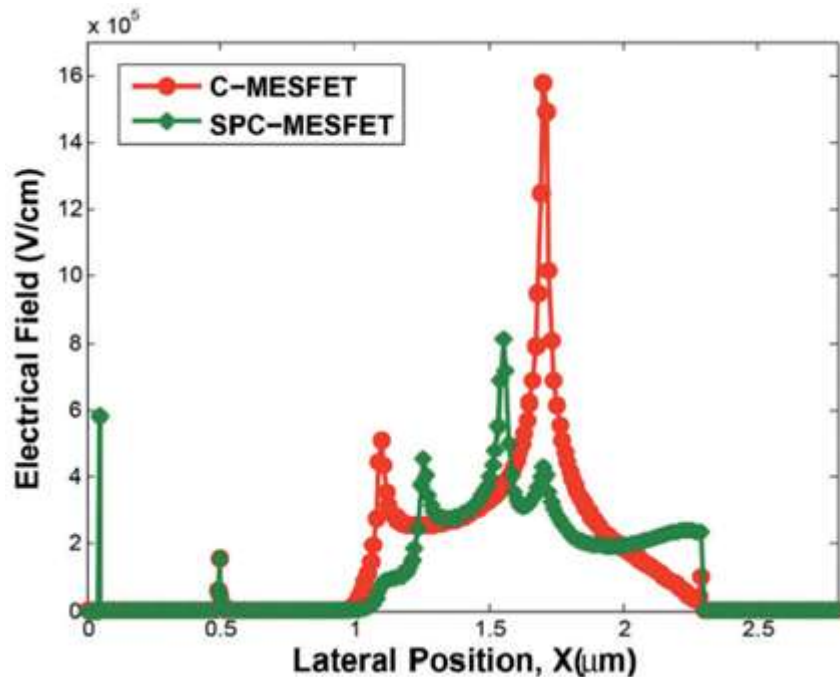


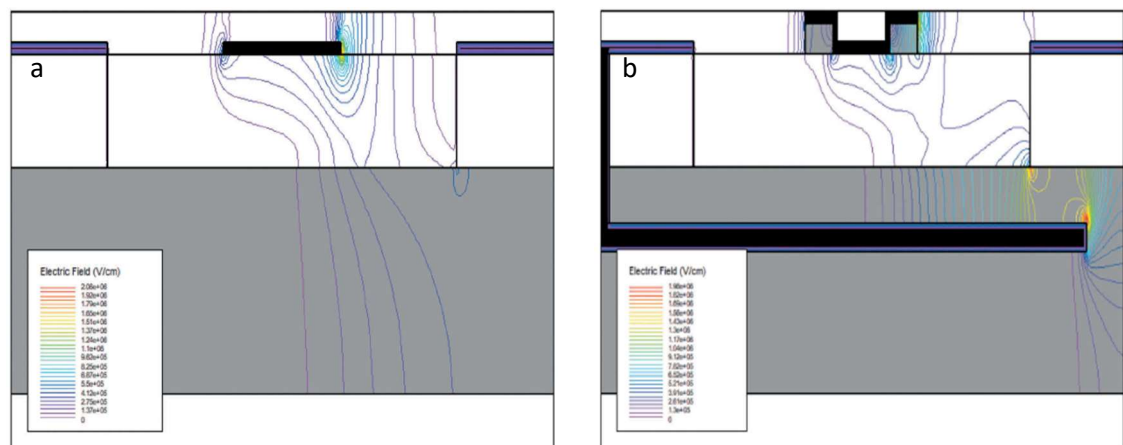
Figure II.30 : Distribution du champ électrique le long de la ligne de coupe AA' à  $V_{DS} = V_{BR}$  et  $V_{GS} = -1V$  [23].

pour linéariser la distribution du champ électrique et réduire la quantité  $E_{max}$ . Dans la structure SPC-SOI MESFET, l'existence de la plaque de champ caché provoque un champ électrique maximal moins important que celui de la structure conventionnelle. De plus, l'addition d'isolants sur les côtés de la grille crée de nouveaux pics dans la distribution du champ électrique qui devient plus uniforme [23].

Par ailleurs, les deux régions isolantes ont été insérées sous les côtés de la grille pour avoir une tension de claquage élevée sans réduire le courant de drain. En effet, la présence d'isolants réduit la largeur de la région de déplétion exactement sous ces oxydes et augmente la densité électronique. Par conséquent, le courant de drain de saturation de la structure SPC-SOI MESFET s'améliore [23].

### II.10.3 Distribution des lignes de champ électrique

La figure II.31 montre la distribution bidimensionnelle des lignes de champ électrique du C-SOI MESFET et du SPC-SOI MESFET. La présence de la plaque de champ caché dans le BOX provoque l'accumulation du champ électrique au bord de cette zone et par conséquent, l'accumulation du champ électrique au bord de la grille du côté drain diminue. En plus de ce problème, la présence de l'isolant sous les côtés de la grille entraîne une plus grande réduction du nombre de points d'accumulation du champ électrique par rapport au C-SOI MESFET ce qui augmente la tension du claquage [23].



**Figure II.31 :** La distribution bidimensionnelle des lignes de champ électrique à la tension de claquage et  $V_{GS} = -1V$  pour (a) C-SOI MESFET et (b) SPC-SOI MESFET [23]

## II.11 Étude du composant PGDW-SOI MESFET

### II.11.1 Description de la structure

Une vue bidimensionnelle de la structure PGDW-SOI MESFET (*Protruded Gate and Dual Wells-SOI MESFET*) est illustrée par la figure II.32. La différence entre cette structure et celle conventionnelle réside dans le fait que la grille est en relief et l'existence des doubles puits dans l'oxyde enterré. Cette disposition de la grille en relief et d'un puits droit du côté drain augmente l'épaisseur du canal provoquant un accroissement du courant de drain [24].

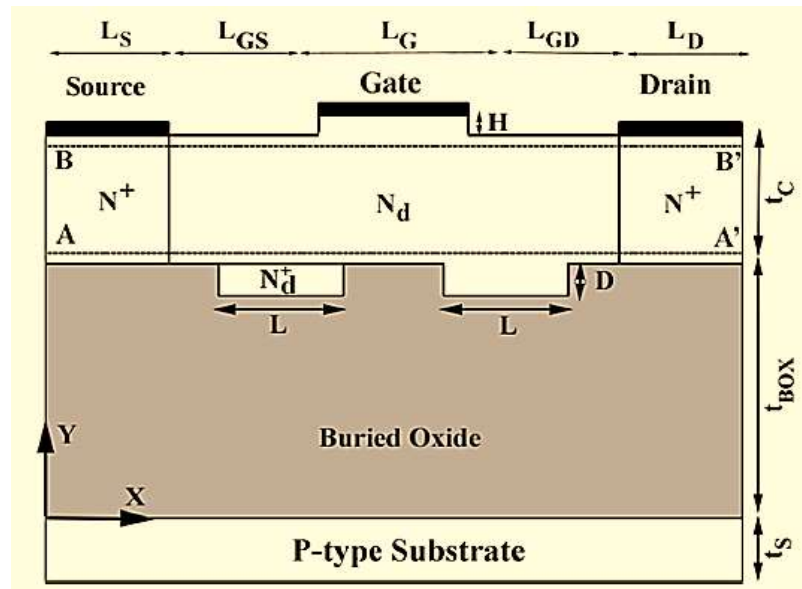


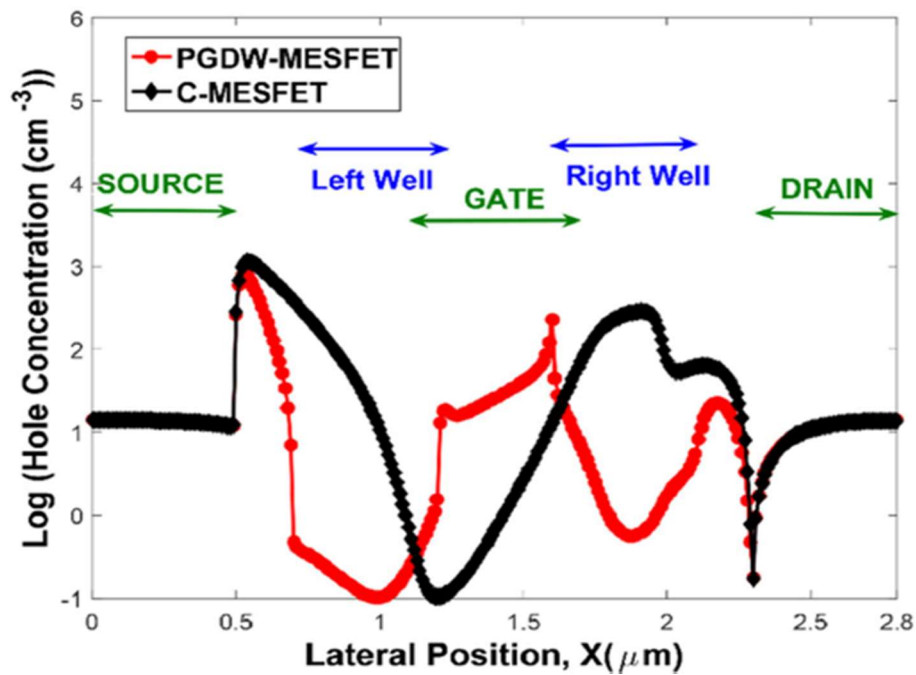
Figure II.32 : Vue en coupe transversale de la structure PGDW-SOI MESFET [24].

### II.11.2 Tension de claquage et puissance maximale de sortie

Par rapport à la structure conventionnelle, une réduction de la valeur maximale du champ électrique est obtenue au coin de la grille près du drain, faisant augmenter  $V_{BR}$  de 18 V (structure conventionnelle) à 23 V (structure proposée). Également, il a été trouvé une amélioration de la densité de puissance maximale,  $P_{max}$ , de la structure PGDW-SOI MESFET de 143% par rapport au C-SOI MESFET [24].

### II.11.3 Effet du coude

Le puits gauche du côté source a été utilisé pour absorber les trous créés en raison du mécanisme d'ionisation par impact et améliore l'effet de coude (*Kink effect*). Comme illustré sur la figure II.33, la concentration des trous diminue du côté de la source, ce qui explique bien la forte suppression des trous générés par effet de coude dans la structure proposée [24].



*Figure II.33 : Variation de la concentration des trous le long de la ligne de coupe horizontale AA' à  $V_{GS} = -1 V$  et  $V_{DS} = 6 V$  [24].*

### II.11.4 Caractéristique radio fréquence

Le composant PGDW-SOI MESFET montre une amélioration des performances des caractéristiques RF. Ainsi, les deux paramètres  $h_{21}$  et le gain de puissance unilatéral augmentent respectivement de 14 % et 11 % par rapport au C-SOI MESFET. De même, les capacités grille-drain et grille-source du PGDW-SOI MESFET ont diminué en raison des puits dans l'oxyde enterré [24].

## II.12 Conclusion

Compte tenu des solutions technologiques très importantes que le transistor SOI MESFET offre dans l'amélioration des performances des composants classiques, nous nous sommes intéressés dans ce chapitre à l'étude de ses différentes structures. Ainsi, plusieurs types de SOI MESFET ont été considérés. Nous nous sommes intéressés à leurs caractéristiques en décrivant et analysant particulièrement l'influence de ces types sur les caractéristiques DC et RF.

L'insertion du  $\text{HfO}_2$  au bord de la grille du composant TT-SOI MESFET conduit à : (i) un rapprochement des lignes du champ électrique qui deviennent plus compactes dans la région  $\text{HfO}_2$ , (ii) une augmentation du champ électrique critique et (iii) une croissance de la tension de claquage du dispositif.

Pour la structure avec deux tranches rectangulaires (en  $\text{HfO}_2$  insérée au bord de la grille et en Si créée dans l'oxyde enterré), il a été retenu :

- Diffusion du champ électrique autour du bord de la grille près du drain.
- Une diminution du champ électrique critique
- Une amélioration dans la tension de claquage.

Pour la structure SPL-DE-SOI MESFET, l'insertion de régions en silicium ont permis d'avoir : (i) une modulation de la distribution des lignes du potentiel le long du canal, (ii) un profil de potentiel plus uniforme dans toute la région du canal, (iii) une réduction du champ électrique critique et (iv) une augmentation de la tension du claquage.

Dans le but d'améliorer la tension du claquage et/ou le courant de drain des transistors SOI MESFETs, d'autres travaux ont été réalisés. La structure SO-ED-SOI MESFET, conduit à une augmentation du courant de drain. Quant au composant SPL-DE-SOI MESFET qui utilise une couche de type p intégrée dans le canal conducteur, elle donne une augmentation de la tension de claquage et du courant de drain. Enfin, Dans le cas de la structure SPC-SOI MESFET l'augmentation du courant de drain est assurée par réduction de la largeur de la région de déplétion.

En résumé, il convient de noter que les SOI MESFETs peuvent souffrir d'un effet d'auto-échauffement, de l'effet de coude ou d'une faible tension de claquage et que l'amélioration de la tension de claquage est attribuée à une meilleure répartition du champ électrique le long du dispositif.

## References

- [1] Rudenko TE, Nazarov AN, Lysenko VS (2020) The advancement of silicon-on-insulator (SOI) devices and their basic properties. *Semiconductor Physics, Quantum Electronics & Optoelectronics* 23 (3): 227-252. <https://doi.org/10.15407/spqeo23.03.227>
- [2] Amiri IS, Mohammadi H, M Hosseinghadiry (2019) *Device Physics, Modeling, technology, and analysis for silicon MESFET*. Springer Nature Switzerland AG. <https://doi.org/10.1007/978-3-030-04513-5>
- [3] Mahrous H, Fedawy M, El Sabbagh Mona, W Fikry, Gad M ( 2019) Design of a 90 GHz SOI Fin Electro-Optic Modulator for High-Speed Applications. *Appl. Sci* 9: 4917. <https://doi.org/10.3390/app9224917>
- [4] Zhang W, Li L, Qiao M, Zhan Z, Cheng SH, Zhang S, He B, Luo X, Li Z, Zhang B (2019) Novel High Voltage Ultra-Thin SOI-LDMOS With Sectional Linearly Doped Drift Region. *IEEE Electron Device Letters* 40(7): 1151- 1154. <https://doi.org/10.1109/LED.2019.2919074>
- [5] Zhang B, Li, Z, Hu S, Luo X, (2009) Field enhancement for dielectric layer of high-voltage devices on silicon on insulator. *IEEE Trans. Electron Devices* 56 (10): 2327–2334. <https://doi.org/10.1109/TED.2009.2028405>
- [6] Colinge J. P (2004) *Silicon-on-Insulator: Materials to VLSI*, 3rd ed. Norwell, MA, USA: Kluwer
- [7] Naderi A, Mohammadi H (2021) Shifted gate electrode of silicon on insulator metal semiconductor FETs to amend the breakdown and transconductance. *Eur. Phys. J. Plus* 136: 136-662. <https://doi.org/10.1140/epjp/s13360-021-01661-z>
- [8] Anvarifard MK (2016) Symmetrical SOI MESFET with a dual cavity region (DCR-SOI MESFET) to promote high-voltage and radio frequency performances. *Superlattices Microstruct* 98: 492-503. <http://dx.doi.org/10.1016/j.spmi.2016.09.003>
- [9] Orouji AA, Ramezani Z, Keshavarzi P, Aminbeidokhti A (2013) A novel high frequency SOI MESFET by modified gate capacitances. *Superlattices and Microstructures* 61: 69–80. <http://dx.doi.org/10.1016/j.spmi.2013.06.001>

- [10] Orouji AA, Shahnazarisani H, Anvarifard MK (2014) Simulation analysis of a novel dual-trench structure for a high power silicon-on-insulator metal–semiconductor field effect transistor, Superlattices and Microstructures 26: 506–511. <https://doi.org/10.1016/j.mssp.2014.05.040>
- [11] Naderi A, Heirani F (2018) A novel SOI-MESFET with symmetrical oxide boxes at both sides of gate and extended drift region into the buried oxide. Int. J. Electron. Commun 85: 91-98. <https://doi.org/10.1016/j.aeue.2018.01.001>
- [12] Wolborski M (2006) Characterization of dielectric layers for passivation of 4H-SiC devices. Doctoral dissertation. KTH.
- [13] Aminbeidokhti A, Orouji AA, Rahimian M (2012) High-voltage and RF performance of SOI MESFET using controlled electric field distribution. IEEE Trans Electron Devices 59(10): 2842–5. <https://doi.org/10.1109/TED.2012.2208116>
- [14] Singh J (2001) Semiconductor Devices: Basic Principles. New York: John Wiley & Sons.
- [15] Naderi A, Heirani F (2017) Improvement in the performance of SOI-MESFETs by T-shaped oxide part at channel region: DC and RF Characteristics. Superlattice Microst 111: 1022–1033. <https://doi.org/10.1016/j.spmi.2017.07.058>
- [16] Wilk SJ, Balijepalli A, Ervin J, Lepkowski W, Thornton TJ (2010) Silicon on insulator MESFETs for RF amplifiers. Solid-State Electronics 54: 336–342. <https://doi.org/10.1016/j.sse.2009.10.016>
- [17] Sze SM (1981), Physics of Semiconductor Devices, New York: John Wiley & Sons.
- [18] Anvarifard MK (2016) Increase in the scattering of electric field lines in a new high voltage SOI MESFET. Superlattices and Microstruct 97: 15-27. <https://dx.doi.org/10.1016/j.spmi.2016.06.005>
- [19] Anvarifard MK (2018) An impressive structure containing triple trenches for RF power performance (TT-SOI-MESFET). J Comput Electron 17: 230-237. <https://doi.org/10.1007/s10825-017-1078-4>
- [20] Anvarifard MK (2016) Successfully controlled potential distribution in a novel high-voltage and high-frequency SOI MESFET. IEEE Trans Device Mater Reliab 16(4): 631–7. <https://doi.org/10.1109/TDMR.2016.2618850>
- [21] Heirani F, Naderi A (2018) A novel SOI-MESFET with parallel oxide-metal layers for high voltage and radio frequency applications. Int. J. Electron. Commun 83: 541-548. <https://doi.org/10.1016/j.aeue.2017.10.025>
- [22] Sze SM, Ng KK (2007) Physics of semiconductor devices, 3rd ed. Hoboken, Wiley, NJ.

[23] Mohtaram A, Orouji AA (2020) A novel SOI MESFET to spread the potential contours towards the drain. *International Journal of Electronics* 107(9): 1506–1523. <https://doi.org/10.1080/00207217.2020.1727025>

[24] Mohaddeseh M, Orouji AA, Ramezani A, Keighobad D (2021) Physical Analysis on the DC and RF Operations of a Novel SOI-MESFET with Protruded Gate and Dual Wells. *Silicon* 14: 3911–3917. <https://doi.org/10.1007/s12633-021-01174-5>

## **Chapitre III**

# **Nouvelle structure Multi $\Pi$ -SOI MESFET: Conception, caractéristiques et performances**

### III.1 Introduction

Plusieurs propositions, dans la littérature, ont été faites par les chercheurs pour améliorer les performances électriques, notamment pour modifier la structure classique C-SOI MESFET. L'idée générale consiste à insérer dans le canal ou dans l'oxyde enterré des régions de dimensions bien définies de différents matériaux et de différentes formes [1, 2]. De ce fait, certains chercheurs [3] ont incorporé une région d'oxyde d'hafnium en forme de lettre T inversée dans la région du canal. Il a été rapporté que la structure obtenue montre une augmentation de la tension de claquage,  $V_{BR}$ , du dispositif en raison du champ électrique critique plus élevé par rapport au silicium utilisé dans les structures conventionnelles. Autres travaux [4] ont proposé la réalisation de deux tranches avec des matériaux différents : la première, en oxyde d'hafnium  $HfO_2$  est réalisée au niveau du canal et la seconde, en silicium dans l'oxyde enterré. Cette structure proposée améliore la tension de claquage, diminue le facteur de bruit minimum et augmente la densité de puissance de sortie.

Par ailleurs, d'autres investigations ont introduit une région de  $SiO_2$ , dans le canal [5]. Cette structure augmente le champ électrique par rapport à la structure C-SOI MESFET classique, la valeur critique la plus élevée se situe dans la zone d'oxyde supplémentaire conduisant ainsi à une amélioration de la tension de claquage. Il a été également proposé [6] l'insertion de régions de silicium de type p dans l'espace entre grille-drain ou grille-source. Ces régions modulent la distribution des lignes du potentiel le long du canal menant à un profil plus uniforme dans toute la région du canal et entraînant une diminution du champ électrique critique et une amélioration de la tension de claquage.

Cependant, un compromis entre tension de claquage et courant de drain a été constaté : souvent, l'augmentation du courant de drain réduit la tension de claquage [7]. Afin d'améliorer à la fois la tension de claquage et le courant de drain des C-SOI MESFET, des chercheurs [7, 8] ont proposé l'insertion de régions rectangulaires de type n dans l'oxyde enterré, BOX. Cependant, aucune structure proposée à ce jour n'améliore toutes les caractéristiques. Par exemple, augmenter la distance inter-électrodes à 5  $\mu m$  donne une tension de claquage maximale de 45 V mais dégrade les performances RF en raison de l'augmentation considérable des résistances parasites [9-11]. De plus, dans certains cas, l'amélioration de la tension de claquage entraîne une diminution du courant de drain [6].

Il ressort de l'aperçu mentionné ci-dessus que, malgré le grand nombre de travaux réalisés afin d'améliorer certains paramètres et caractéristiques de la structure C-SOI MESFET, des compromis sont souvent pris en considération. Par conséquent, beaucoup d'efforts doivent encore être déployés pour choisir à la fois le matériau des régions ajoutées ainsi que leurs emplacements, leurs formes et leurs dimensions.

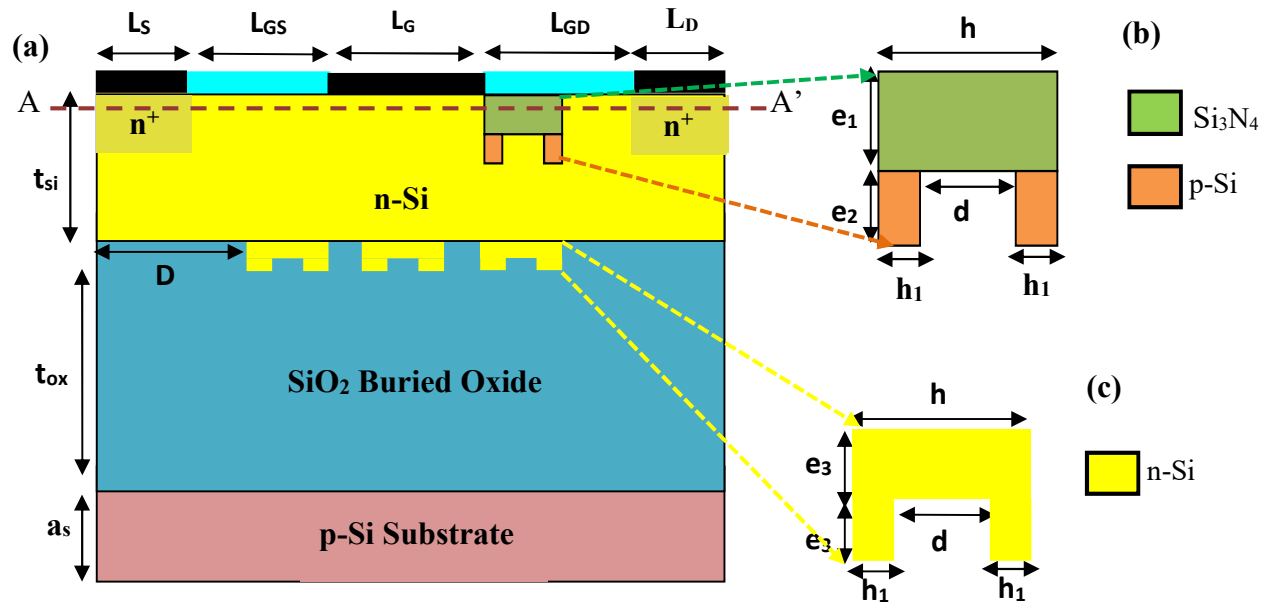
Dans ce contexte, nous comptons améliorer les performances DC et RF du dispositif C-SOI MESFET. Pour réaliser cet objectif, nous proposons une nouvelle structure, Multi II-SOI MESFET, qui comprend trois régions en Si de type n sous la forme de II créées dans l'oxyde enterré et une autre région sous la forme d'un II au bord de la grille côté drain. Ce dernier II est une combinaison de nitrure de silicium,  $\text{Si}_3\text{N}_4$ , dans sa partie supérieure et de Si dopé p dans ces parties inférieures. L'idée principale de cette structure est de réduire et de disperser les lignes du champ électrique accumulées aux bords de la grille côté drain et d'optimiser certains paramètres importants tels que la tension de claquage, le courant de drain, les capacités parasites, la densité de puissance de sortie maximale, etc.

Ainsi, dans ce chapitre, après la présentation de la structure Multi II-SOI MESFET, ses caractéristiques et ses dimensions, nous décrivons les étapes technologiques de sa réalisation via ATLAS de SILVACO. Nous définissons les spécifications de la structure, des paramètres des modèles et des matériaux ainsi que des méthodes numériques de calcul. Enfin, nous terminons ce chapitre par l'analyse et la discussion des résultats obtenus et leurs interprétations.

## III.2 Description de la structure Multi II-SOI MESFET

La figure III.1a représente une vue en coupe de la structure proposée nommée Multi II-SOI MESFET. Elle consiste en :

- (i) Une région en forme II située au bord de la grille, côté drain (figure III.1b). Cette région est constituée d'une partie supérieure de nitrure de silicium,  $\text{Si}_3\text{N}_4$ , et de deux parties inférieures en Si de type p. Les dimensions de cette région en forme de II sont notées :  $h$ ,  $d$ ,  $h_1$ ,  $e_1$  et  $e_2$  et dont les valeurs sont indiquées dans le Tableau III.1.



**Figure III.1 :** (a) Coupe transversale de la structure Multi II-SOI MESFET, (b) Région II au bord de la grille et (c) Régions II en Si dans l'oxyde enterré.

- (ii) Trois autres régions égales toujours en forme de  $\Pi$  en Si de type n, positionnées dans la partie supérieure de l'oxyde enterré (figure III.1c). Ces trois régions sont introduites dans le BOX afin d'améliorer le courant de drain dans la structure proposée.

Notons que les trois régions de type n sont riches en concentrations d'électrons supplémentaires qui contribuent au mécanisme de conduction dans le canal. Ces régions en forme de  $\Pi$  sont équidistantes de  $0,15 \mu\text{m}$ . Par ailleurs, une bonne observation de la figure III.1a, permet de constater que la région centrale (en forme de  $\Pi$ ) est bien positionnée sous la grille dans le BOX; tandis que les autres régions  $\Pi$  externes sont situées sous les deux bords de la grille et s'étendent vers la source et le drain. La région  $\Pi$  externe gauche dans le BOX est située à une distance  $D = 0,6 \mu\text{m}$  de l'extrémité gauche du transistor. Les dimensions de ces régions égales sont notées :  $h$ ,  $d$ ,  $h_1$  et  $e_3$  (tableau III.1). Cependant, les autres caractéristiques sont similaires à celles du C-SOI MESFET (tableau I.1). Enfin, serait bien de noter qu'aussi bien la région centrale  $\Pi$  que celle située côté drain contribuent à la dispersion des lignes du champ électrique accumulé au de bord de grille et améliorent la tension de claquage qui est un paramètre très important pour les dispositifs fonctionnant en radio fréquence.

**Tableau III.1 :** Valeurs des paramètres géométriques et technologiques des régions II insérées dans le canal et dans l'oxyde enterré.

Parameter	Symbole	Valeur
Longueur de la partie supérieure de la région II dans le canal	h	0.20 $\mu\text{m}$
Longueur de la partie inférieure de la région II dans le canal	h <sub>1</sub>	0.05 $\mu\text{m}$
Distance entre les parties inférieures de la région II dans le canal	d	0.10 $\mu\text{m}$
Épaisseur de la partie supérieure de la région II dans le canal	e <sub>1</sub>	0.0425 $\mu\text{m}$
Épaisseur des parties inférieures de la région II dans le canal	e <sub>2</sub>	0.03 $\mu\text{m}$
Concentration de dopage des parties Si inférieures de la région II dans le canal	N <sub>A</sub>	1.10 <sup>17</sup> cm <sup>-3</sup>
Épaisseur des parties supérieure et inférieure des régions 3II dans le BOX	e <sub>3</sub>	0.02 $\mu\text{m}$
Concentration de dopage des régions 3II dans le BOX.	N <sub>D</sub>	1.10 <sup>17</sup> cm <sup>-3</sup>
Distance des 3 premières régions II dans le BOX à partir du côté gauche	D	0.60 $\mu\text{m}$

Par ailleurs, l'utilisation de la combinaison de matériaux Si<sub>3</sub>N<sub>4</sub> et p-Si pour former une structure en forme de II est très avantageuse. L'interface diélectrique/silicium introduit une discontinuité dans le champ électrique grâce à la différence des permittivités des deux matériaux. Cependant, il serait mieux de choisir des matériaux avec des permittivités relatives de valeurs proches. Ainsi, dans le cas actuel, l'utilisation du Si<sub>3</sub>N<sub>4</sub> dont la permittivité relative  $\epsilon_r = 7,5$  donne un meilleur rapport avec le Si dont  $\epsilon_{\text{Si}} = 11,8$  qu'avec le SiO<sub>2</sub> dont  $\epsilon_{\text{SiO}_2} = 3,9$ . Donc, une meilleure continuité du champ serait obtenue avec le Si<sub>3</sub>N<sub>4</sub>.

De plus, l'introduction des tranches de Si de type p améliore la tension de claquage puisque deux diodes polarisées en inverse sont formées à l'interface entre la région inférieure du canal et ces tranches p. Ces diodes internes modifient la distribution du champ électrique dans le canal et conduisent à une diminution de la densité du champ électrique au bord de la grille près du drain.

### III.3 Procédé technologique de fabrication de la structure Multi II-SOI MESFET

Le procédé technologique de fabrication varient selon les prototypes des dispositifs proposés [7, 12, 13]. Pour la structure proposée, Multi-II SOI MESFET, les étapes principales processus de fabrication sont illustrées par la figure III.2 et décrites ci-après :

- Le processus de fabrication commence (figure III.2a) par deux plaquettes de Si (100): (A) de type p et (B) de type n.
- Ensuite, le dépôt d'oxyde est effectué sur la plaquette A qui jouera le rôle de substrat du dispositif, afin de former l'oxyde enterré (figure III.2b).
- L'étape suivante est de définir sur l'oxyde les trois régions égales en forme de II de Si de type n dans la partie supérieure de l'oxyde enterrée (figure III.2c).
- Après gravure, le dépôt de silicium dopé type n est ensuite déposé (figure III.2d).
- Ensuite, un traitement mécano-chimique, CMP (*Chemical Mechanical Planarization*) doit être effectuée afin de nettoyer la surface du dispositif des particules supplémentaires restantes de la dernière étape (figure III.2 e).
- L'étape suivante consiste à déposer l'autre tranche (B) qui jouera le rôle de couche active de la structure sur l'autre partie (figure III.2f).
- Ensuite, la région II dans le canal sera définie et les masques conçus pour effectuer la gravure chimique (figure III.2g).
- Dépôt de silicium dopé type p pour former des deux tranches de  $\pi$  (figure III.2h).
- Gravure de la partie horizontale et supérieure de  $\pi$  (figure III.2i).
- Dépôt de  $\text{Si}_3\text{N}_4$  pour former la partie horizontale et supérieure de  $\pi$  (figure III.2j).
- Traitement de CMP pour éliminer la surface rugueuse de la structure (figure III.2k).
- Enfin, la figure III.2 (l) montre les étapes conventionnelles qui sont effectuées afin de terminer le processus de fabrication ; ces étapes sont : le dopage de contact ohmique,  $\text{n}^+$ -Si, le métal de grille, Ni est Les couches  $\text{SiO}_2$  de passivation inter-électrode.

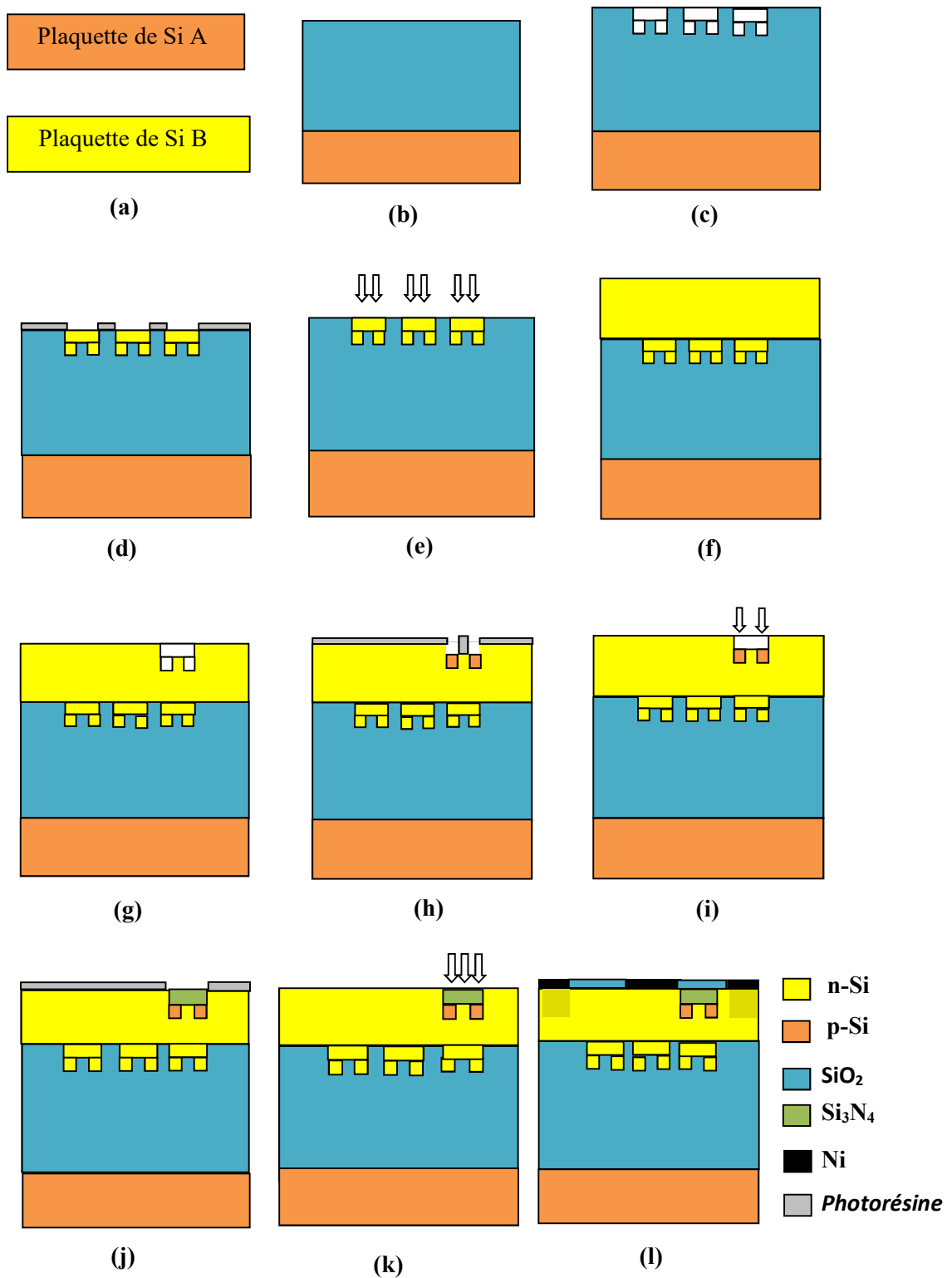


Figure III.2 : Étapes du processus de fabrication de la structure Multi II-SOI MESFET.

## III.4 Différentes étapes de simulation

### III.4.1 Spécification de la structure

La première étape dans l'utilisation du logiciel TCAD-SILVACO est d'ouvrir "DECKBUILD" qui est un laboratoire virtuel où toutes les simulations sont organisées. Notre objectif est de confectionner la structure Multi II-SOI MESFET en utilisant ATLAS. Pour ouvrir ATLAS dans DECKBUILD on utilise la déclaration "go atlas". Les différentes étapes de simulation de la structure Multi-II-SOI MESFET sont résumées ci- dessous.

#### a) Spécification du Maillage

Pour créer une structure dans ATLAS, nous devons tout d'abord définir un maillage qui représente la zone où le dispositif sera fabriqué. Il est défini par une série de lignes horizontales et verticales et l'espacement entre eux. Dans notre étude, seuls les paramètres x et y sont définis puisque le maillage utilisé est à deux dimensions. La figure III.3 montre le maillage de la structure Multi II-SOI MESFET que nous avons obtenue en utilisant différentes déclarations.

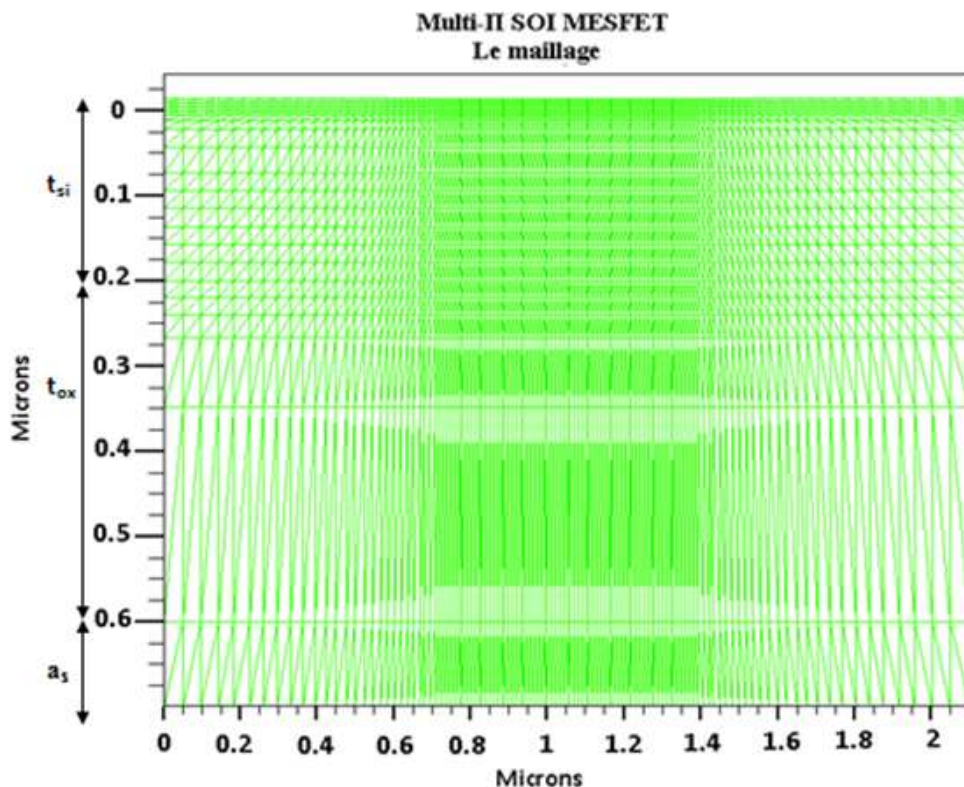
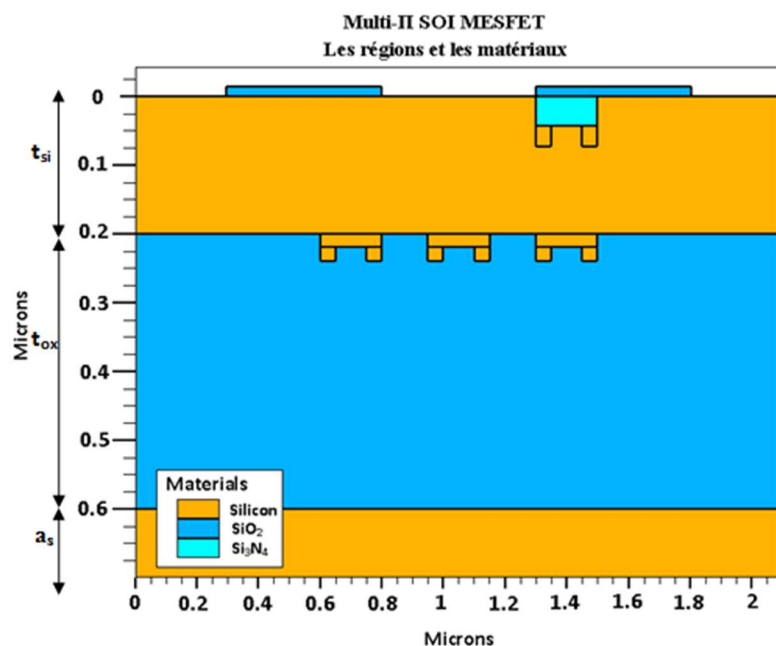


Figure III.3 : Maillage à deux dimensions pour la structure Multi II-SOI MESFET.

Pour définir le maillage, la première déclaration doit être : `meshspace.multi = <value>`. Celle-ci est suivie d'une série des déclarations `x.mesh` et `y.mesh`. La valeur de la paramètre "`space.multi`" est utilisée comme un facteur d'échelle pour le maillage créé par le `x.mesh` et `y.mesh`; sa valeur par défaut est égale à 1. Les états `x.mesh` et `y.mesh` sont utilisés pour spécifier les emplacements en microns des lignes verticales et horizontales, ainsi que l'espacement vertical ou horizontal associé à cette ligne. Au moins deux lignes de la maille doivent être spécifiées pour chaque direction [10].

### b) Spécification des régions et des matériaux

Le logiciel ATLAS donne la possibilité d'obtenir 200 différentes régions avec une disponibilité d'un grand nombre de matériaux. Dans le maillage, défini précédemment, il est nécessaire de déterminer les régions. La déclaration "`region`" spécifie l'emplacement des matériaux dans un maillage où chaque triangle doit être défini comme un matériau. La figure III.4 représente les différentes régions et matériaux de la structure Multi II- SOI MESFET ; la spécification des régions du canal, substrat et BOX sont obtenues à partir de plusieurs déclarations. Il est nécessaire de noter que chaque matériau est indiqué par un code de couleur. A titre d'exemple dans la structure étudiée la couleur jaune représente le silicium et la couleur bleu représente le dioxyde de silicium.



**Figure III.4 :** Définition des régions et des matériaux pour la structure Multi II-SOI MESFET.

### c) Spécification des électrodes

Après avoir défini le maillage, les régions et les matériaux, l'étape suivante consiste à définir les électrodes. Pour spécifier les emplacements et les noms des électrodes dans le maillage défini précédemment, la syntaxe "**electrode name**" a été utilisée [10]. La figure III.5 montre la définition des électrodes de la structure Multi II-SOI MESFET que nous avons obtenue à partir des déclarations.

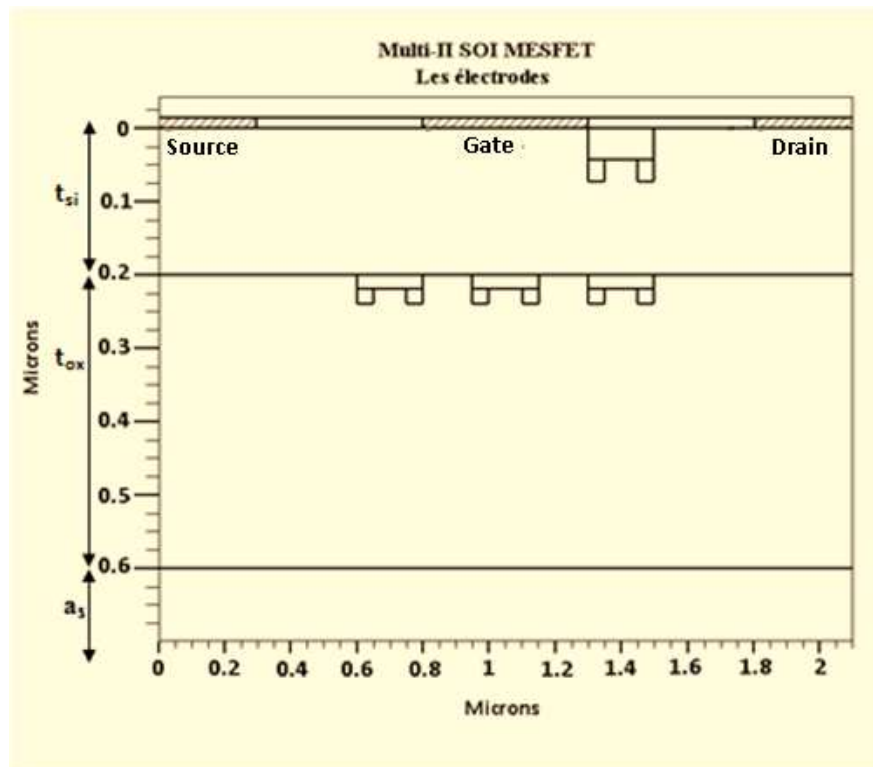


Figure III.5 : Définition des électrodes pour la structure Multi II-SOI MESFET.

### d) Spécification du Dopage

La dernière étape dans la définition de la structure Multi II-SOI MESFET consiste à préciser la concentration du dopage de chaque région. Dans la structure étudiée le dopage du substrat, canal et des différentes régions type II qui sont insérées dans le canal ou bien dans le BOX est uniforme. Tandis que le dopage des deux contacts ohmiques est gaussien. La syntaxe de déclaration du dopage dans ATLAS est "**doping**" [10]. La figure III.6 illustre le dopage de la structure Multi II-SOI MESFET. Nous avons obtenu le dopage du substrat, du canal par utilisation des déclarations adéquates.

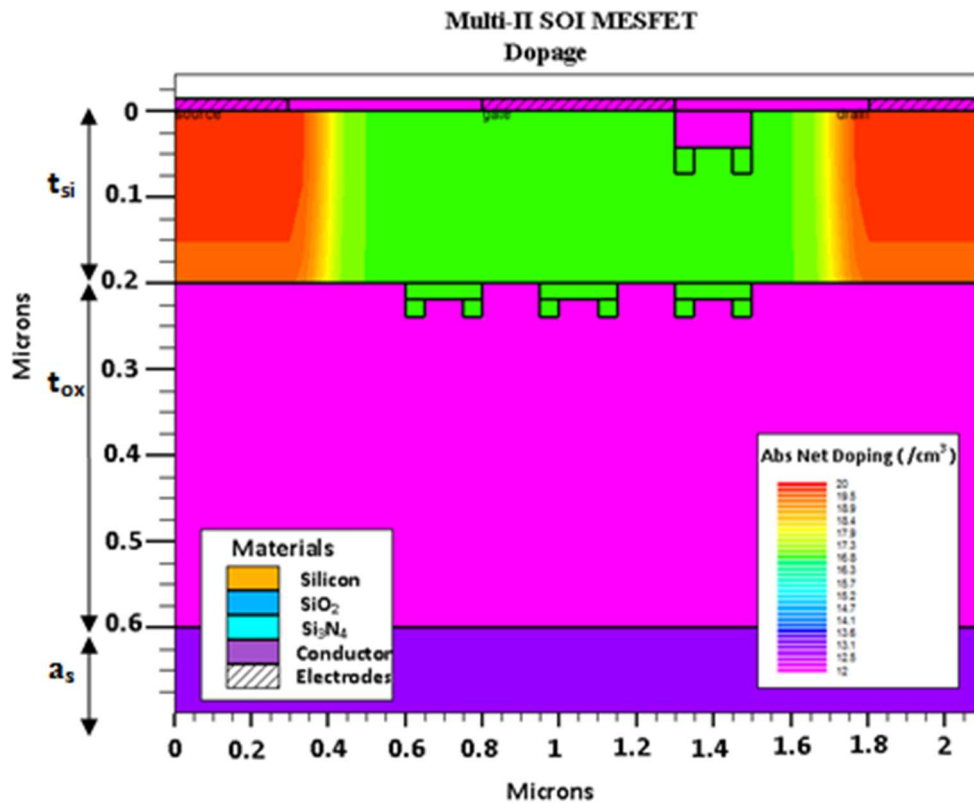


Figure III.6 : Définition du dopage du substrat, canal, des régions II et des contacts de la structure Multi II-SOI MESFET.

### III.4.2 Spécification des paramètres et des matériaux

Une fois que les différentes étapes de la spécification de la structure sont définies, les caractéristiques des électrodes ainsi que les paramètres des matériaux pris par défaut peuvent être modifiés. De même, il est possible de choisir les modèles physiques qu'ATLAS utilisera lors de la simulation d'un dispositif. Ces actions sont réalisées en utilisant les déclarations "**contact**", "**material**" et "**models**". Les modèles d'ionisation par impact peuvent être activés à l'aide de la déclaration "**impact**". Les propriétés d'interface sont définies en utilisant l'instruction "**interface**"[10].

- **La syntaxe "material"** permet de spécifier les valeurs propres des paramètres de base du matériau utilisé. Ces valeurs peuvent être appliquées à un matériau spécifié ou à une région déterminée [10].
- **L'instruction "interface"** permet de définir la densité des charges d'interfaces et la vitesse de recombinaison superficielle aux interfaces entre les semi-conducteurs et les isolants.

- **La déclaration "contact"** est utilisée pour spécifier le travail de sortie du métal de l'électrode. Le paramètre "**name**" est utilisé pour identifier l'électrode qui aura ses propriétés modifiées [10]. Notons que chaque électrode métallique en contact avec un matériau semi-conducteur est considérée par défaut comme un contact ohmique. L'électrode est considérée comme un contact Schottky, seulement dans le cas où son travail de sortie est défini. On note que pour un semi-conducteur type n, le travail de sortie défini doit être supérieur à celui du métal.

### III.4.3 Spécification des modèles physiques

Dans les processus de simulation via ATLAS, l'obtention de résultats réels et précis nécessite l'activation de plusieurs modèles physiques qui peuvent être regroupés en cinq catégories :

- Mobilités des porteurs de charges.
- Mécanismes de recombinaison.
- Statistiques de transport.
- Ionisation par impact.
- Effet tunnel et injection des porteurs

Les modèles physiques sont spécifiés en utilisant les deux déclarations suivantes : "**models**" et "**impact**" [10]. A titre d'exemple, les modèles physiques que nous avons utilisés dans l'étude de la structure Multi II-SOI MESFET sont :

- **Modèles de mobilité** : Dépend de la concentration et de la température (*ANALYTIC*), Dépend du champ électrique parallèle (*FLDMOB*) et le modèle complet incluant les effets de la concentration de dopant, de la température du réseau et du champ électrique parallèle et perpendiculaire (*CVT*).
- **Modèles de recombinaison** : *Shockley-Read-Hall*, SRH, utilisés dans la plupart des simulations, via les durées de vie des porteurs minoritaires et (Auger) qui tiennent compte les transitions directes des porteurs de charge, notamment à forte densité de courant.
- **Modèle d'ionisation par impact** : Modèle de Selberherr's, *IMPACT SELB*, recommandé dans la plupart des cas ; il inclut des paramètres dépendants de la température.

- **Modèles d'Effet tunnel et Modèles d'Injection de Porteurs** : *Band to Band* (*standard*), BBT.STD, pour les transitions directes, requis pour les champs électriques très élevés.

Par ailleurs, ATLAS utilise trois méthodes numériques dans la résolution des systèmes d'équations des modèles physiques. Ces méthodes sont : méthode de GUMMEL, méthode de NEWTON et la méthode des BLOCS. Les méthodes numériques utilisées par ATLAS sont données en utilisant la déclaration "**methode**" [10].

### III.4.4 Spécification de Solution

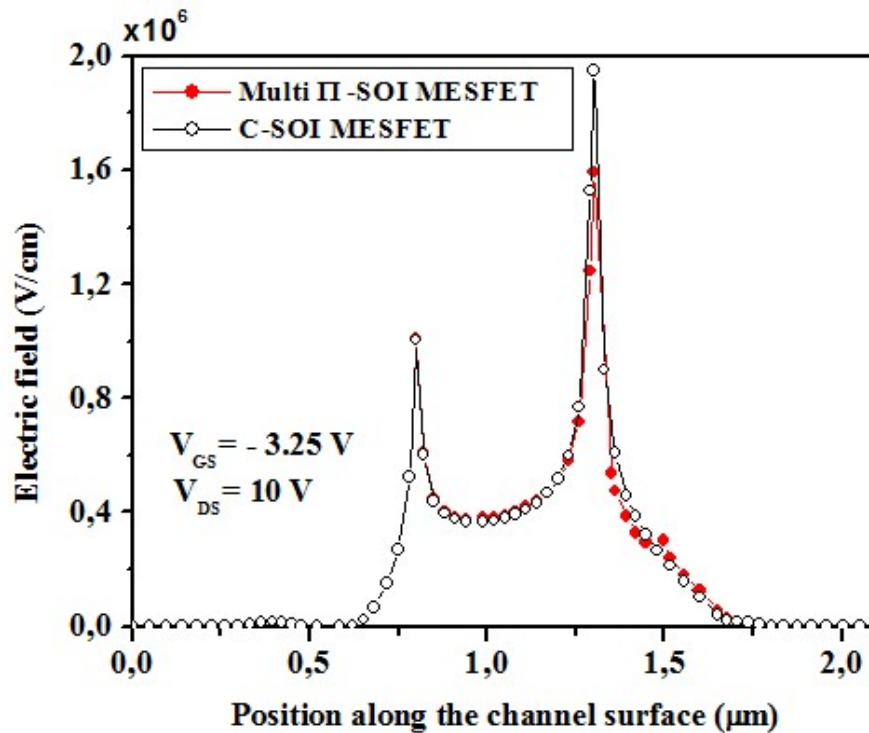
La définition des procédures de solution dans ATLAS se fait par les instructions suivantes :

- **LOG** : permet à toutes les caractéristiques finales d'être enregistrées dans un fichier de données.
- **Solve** : instruit ATLAS pour effectuer une solution pour un ou plusieurs points spécifiés de polarisation.
- **Load** : charge les solutions précédentes d'un fichier existant comme des valeurs initiales à d'autres points de polarisations à partir du fichier enregistré par l'instruction "**log**".
- **Save** : Enregistre toutes les informations obtenues pour tout point de nœud dans un fichier de sortie.
- **EXTRACT** : permet d'extraire des valeurs numériques bien précises à partir des fichiers de données log.

Notons que les résultats obtenus sous différentes conditions de polarisation peuvent être mis sous format graphique en utilisant le graphisme de post-traitement : il s'agit de l'outil TONYPLOT.

## III.5 Distribution du champ électrique et du potentiel

La distribution normalisée du champ électrique le long de la surface à la ligne de coupe AA' située à 0,05  $\mu\text{m}$  de la surface (figure III.1a) est représentée sur la figure III.7 pour les deux structures (classique et Multi-II-SOI MESFET). Cette distribution a été obtenue à une polarisation de drain,  $V_{DS}$ , égale à 10 V et une tension de grille,  $V_{GS}$ , égale à -3,25 V.

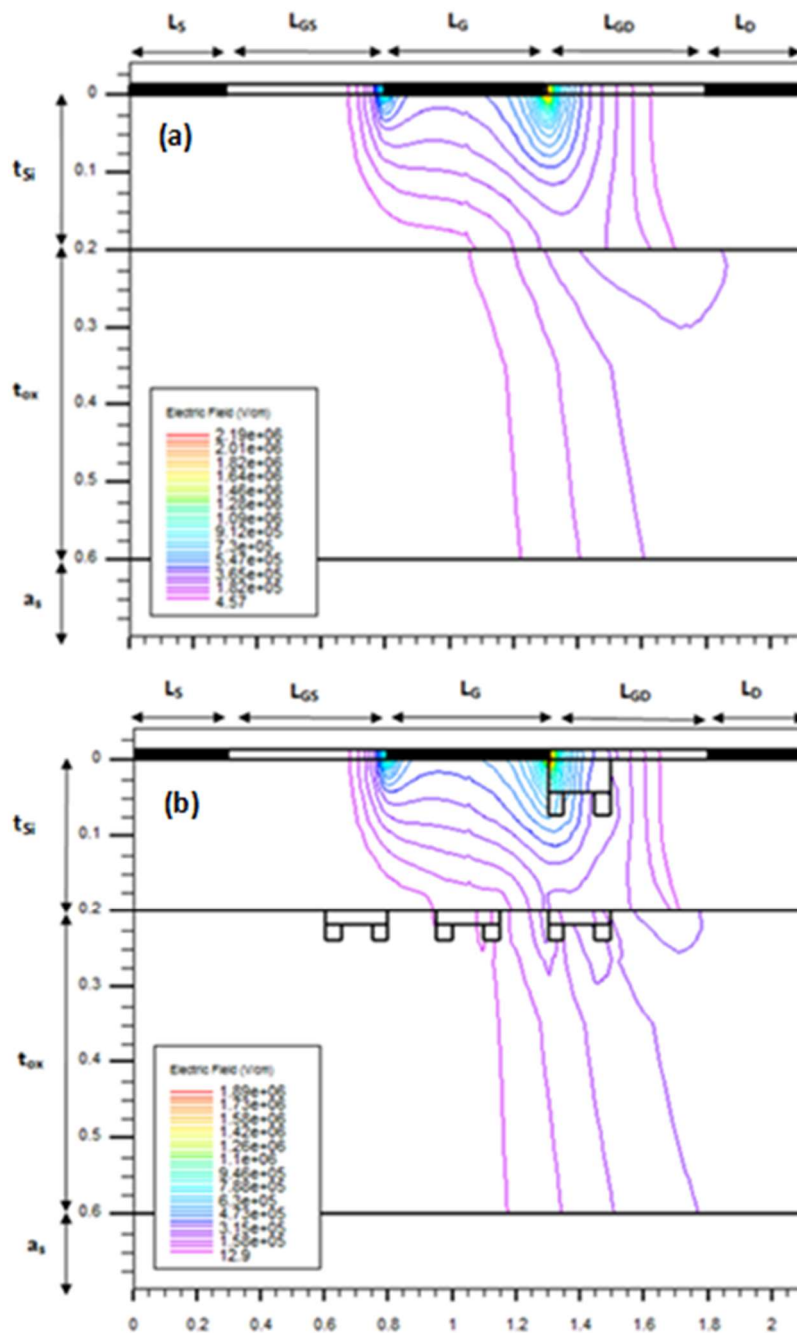


**Figure**

**III.7 :** Distribution du champ électrique de l'extrémité gauche vers la droite du C-SOI MESFET et du Multi II-SOI MESFET.

Il est clair que pour cette tension de drain assez élevée, le champ électrique dans le canal est fortement non linéaire avec un pic important se produisant côté drain, juste en dessous de la limite de grille. De plus, on remarque que pour la structure proposée ce pic est inférieur à celui de la structure classique. Le champ électrique maximal de la structure conventionnelle atteint  $1,95 \times 10^6$  V/cm, alors que celle de la structure proposée est égale à  $1,59 \times 10^6$  V/cm correspondant à une réduction de 22,6 %. Cette diminution du champ électrique entraîne une amélioration de la tension de claquage et par conséquent l'amélioration des performances du nouveau dispositif. Il est bien établi que les SOI MESFETs à haute tension de claquage sont bien adaptés aux applications RF.

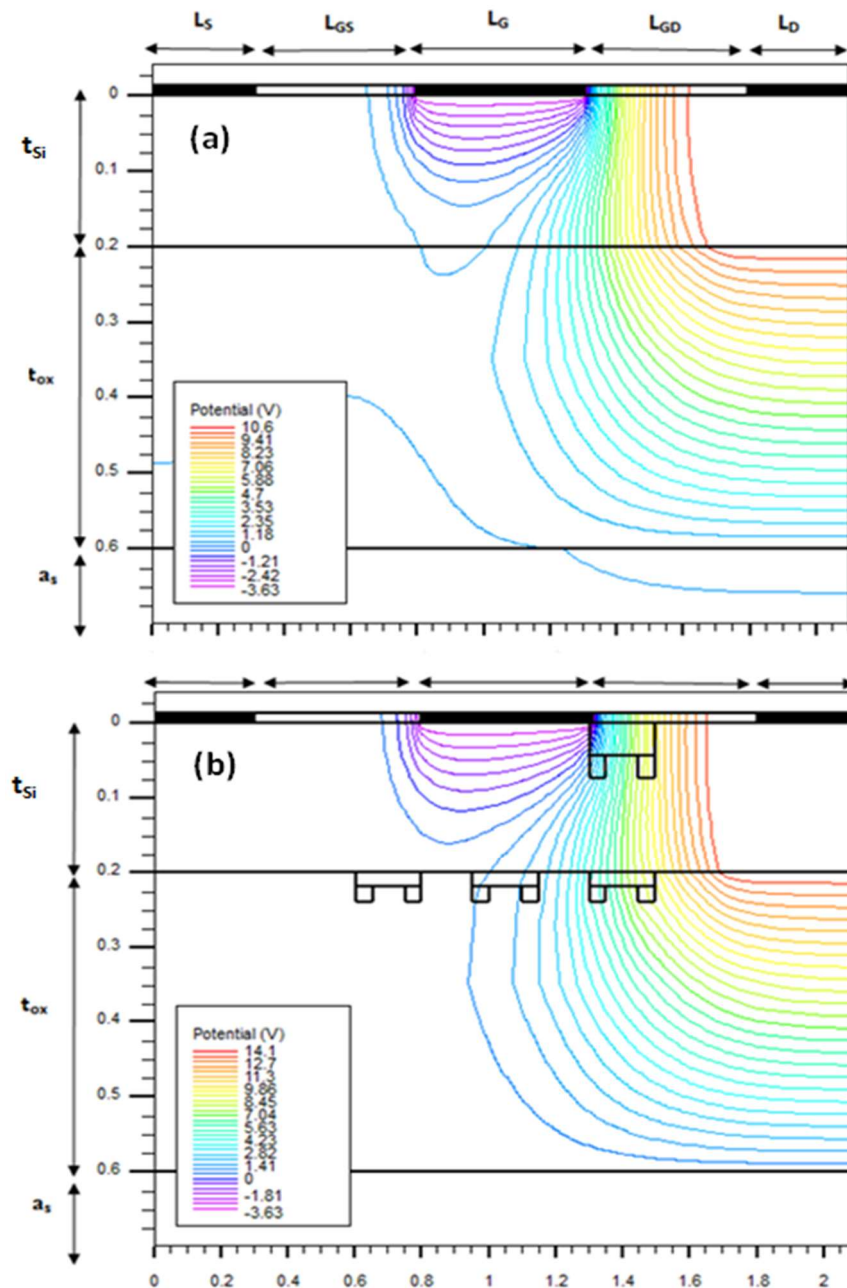
La distribution des lignes du champ électrique est représentée par la figure III.8a pour la structure C-SOI MESFET et par la figure III.8b pour la nouvelle Multi II-SOI MESFET sous les mêmes conditions de polarisation précédentes ( $V_{DS} = 10$  V et  $V_{GS} = -3,25$  V). Il est clair que la répartition des lignes du champ électrique dans la structure Multi II-SOI MESFET proposée est bien meilleure que celle de la structure classique. En fait, dans la structure proposée il est évident que les deux régions II de Si type n introduites dans le BOX (au centre



**Figure III.8 :** Répartition bidimensionnelle des lignes de champ électrique à  $V_{GS} = -3,25 V$  et  $V_{DS} = 10 V$  pour : (a) C-SOI MESFET et (b) Multi II-SOI MESFET.

sous la grille et de son côté droit) contribuent amplement à la redistribution du champ électrique à travers la nouvelle structure. De plus, on peut voir que la tension de claquage et la distribution du champ électrique sont fortement liées : à mesure que la première augmente la redistribution du champ électrique devient plus importante dans le dispositif. Cette tension de claquage est améliorée lorsque la répartition du champ électrique le long du composant devient importante.

Les figures III.9a et b illustrent les distributions bidimensionnelles des lignes du potentiel respectivement de structure conventionnelle et celle proposée. On note qu'une meilleure redistribution des lignes du champ électrique est observée dans la structure proposée. Cette amélioration dans la redistribution conduit à une diminution de l'encombrement des lignes du potentiel aux bords de la grille coté drain, car les régions de forme II poussent les lignes du potentiel vers le drain.



**Figure III.9 :** Répartition bidimensionnelle des lignes du potentiel à  $V_{GS} = -3,25$  et  $V_{DS} = 10V$  pour : (a) C-SOI MESFET et à  $V_{GS} = -3,25$  et  $V_{DS} = 13.5 V$  pour (b) Multi II-SOI MESFET.

Par ailleurs, il est clair que la distribution des lignes du potentiel dans le canal dans la structure proposée est plus uniforme par rapport à leur distribution dans le C-SOI MESFET. Ainsi, la meilleure redistribution des lignes de champ électrique observée dans la nouvelle structure conduit à une meilleure disposition des lignes du potentiel aux bords de la grille côté drain.

### III.6 Caractéristiques du nouveau dispositif

La figure III.10 illustre les variations des caractéristiques de sortie,  $I_{DS}(V_{DS})$  de la structure proposée Multi II-SOI MESFET (symboles pleins : (•, ■, ►, ★) et celle de la structure conventionnelle (symboles vides : (○, □, ▷, ☆). Ces caractéristiques ont été obtenues pour :

- des tensions de drain variant jusqu'à 10 V.
- des valeurs positives et négatives de la tension de grille (0,5 V, 0 V, -1 V et -2 V).

Il est clair que toutes les courbes montrent une première augmentation linéaire suivie d'une zone de saturation.

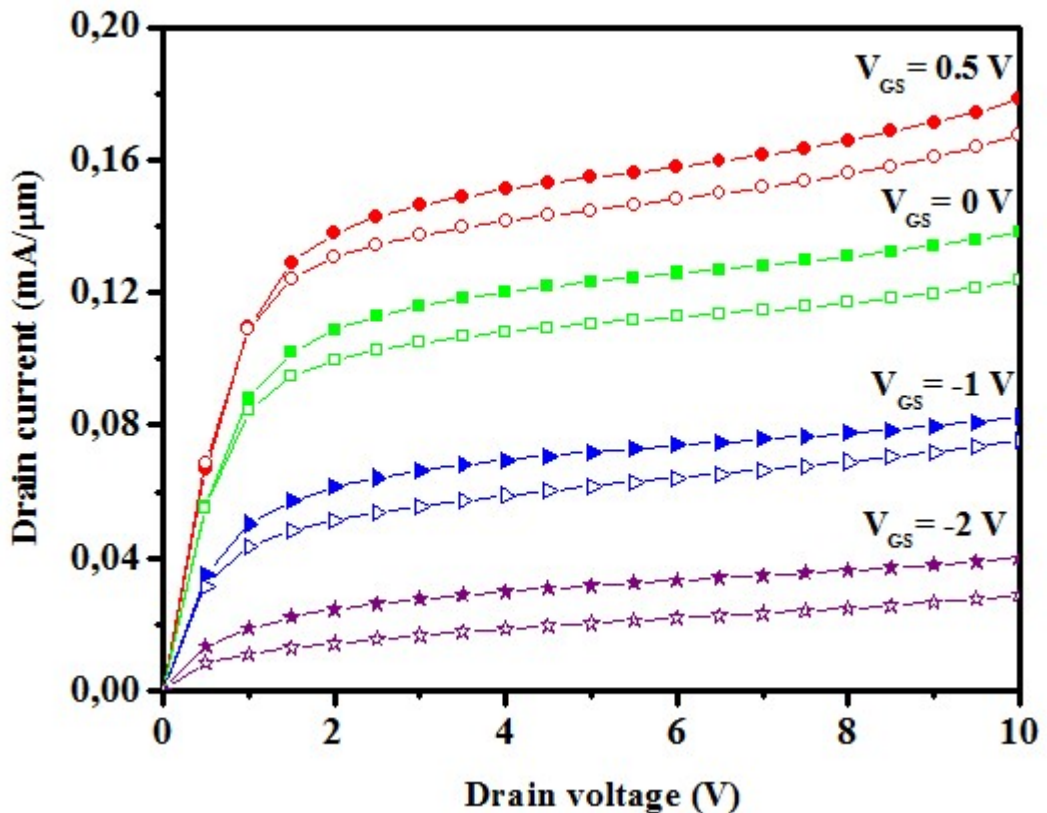
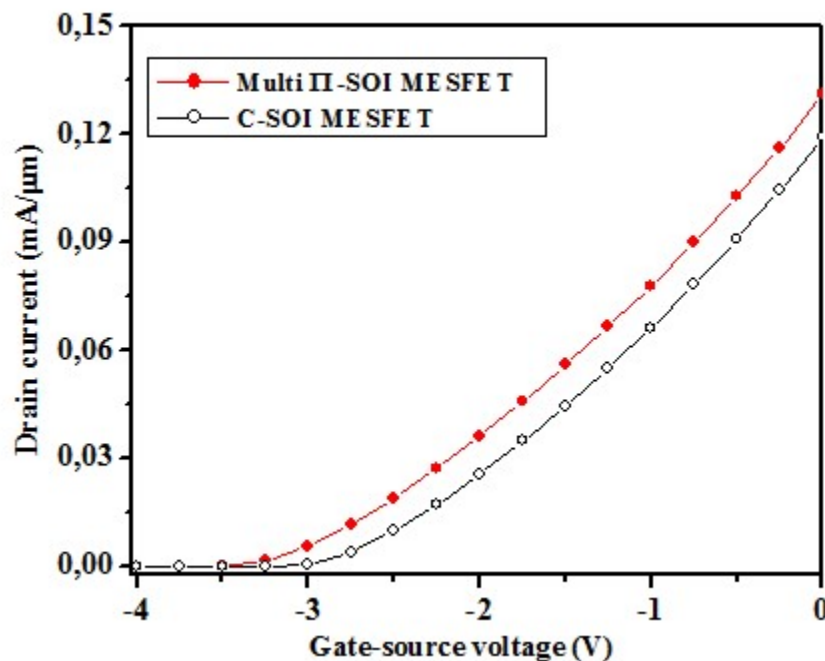


Figure III.10 : Caractéristiques  $I_{DS}(V_{DS})$  de la structure proposée (•, ■, ►, ★) et celles du C-SOI MESFET (○, □, ▷, ☆) à différentes tensions  $V_{GS}$ .

Cependant, en régime de saturation, quelle que soit la valeur de  $V_{GS}$  considérée, le courant de drain de la nouvelle structure est supérieur à celui du C-SOI MESFET. Alors qu'en régime ohmique qui définit la résistance à l'état passant, le courant de drain est quasi identique pour les deux structures. Ce comportement peut s'expliquer physiquement. En effet, avant polarisation, il existe une région de déplétion uniforme et étroite sous la grille. Cependant, l'application d'une tension de drain conduit à l'apparition du courant circulant dans le canal et le dispositif se comporte initialement comme une résistance ohmique. Par ailleurs, l'augmentation de la tension de drain entraîne un élargissement de la zone de charge d'espace côté drain et par conséquent le canal commence à se pincer progressivement ; réduisant ainsi le flux du courant et augmentant sa résistivité. Ces phénomènes mènent à la saturation du courant pour  $V_{DS} \geq 2$  V. Enfin, à des valeurs de polarisation de drain très élevées, le dispositif peut subir un claquage qui se traduit par une augmentation rapide du courant.

Afin de compléter l'ensemble des autres caractéristiques, nous représentons sur la figure III.11 les caractéristiques de transfert,  $I_{DS} = f(V_{GS})$  à une valeur de  $V_{DS} = 8$  V dans la région de saturation. On constate clairement que le courant de drain diminue avec l'augmentation de la valeur absolue de la tension de grille jusqu'à une valeur nulle à  $V_{GS} = -3,5$  V pour le Multi II-SOI MESFET correspondant à la tension de seuil.

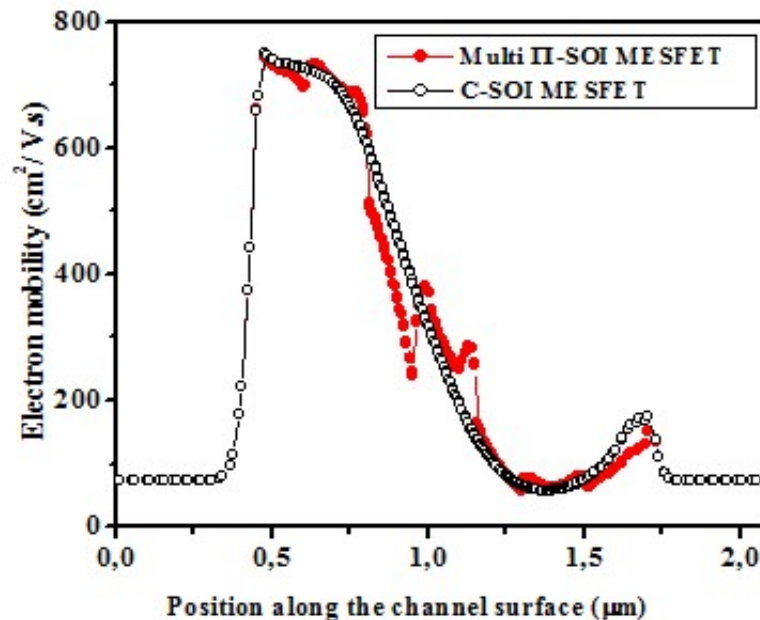


**Figure III.11 :** Caractéristiques  $I_{DS}(V_{GS})$  à  $V_{DS} = 8$  V pour la structure proposée (●●●) et C-SOI MESFET (○○○).

En effet, lorsque la tension  $V_{GS}$  augmente en valeur absolue, la zone de déplétion s'élargit, le canal conducteur s'amincit et par conséquent le courant se réduit ; conduisant ainsi à la caractéristique de transfert illustrée par la figure III.11.

Notons que la région II au bord de la grille entraîne une diminution de la section conductrice du canal. Cependant, les trois autres de type n introduites dans l'oxyde enterré compensent cette diminution et améliorent la conduction dans le canal en introduisant des électrons libres supplémentaires. Ainsi, l'augmentation de la concentration des porteurs entraîne une diminution de la résistivité de la zone active du dispositif et accroissent le courant de drain. Enfin, rappelons que ce courant est l'un des paramètres importants déterminant de la capacité d'un MESFET à fonctionner dans des applications haute tension.

De plus, afin de mieux expliquer l'amélioration du courant de drain dans la structure proposée, nous représentons sur la figure III.12 l'évolution de la mobilité des électrons le long de la ligne de coupe située à  $0,195 \mu\text{m}$  de la surface du dispositif. Les calculs ont été effectués aux polarisations  $V_{GS} = 0 \text{ V}$  et  $V_{DS} = 8 \text{ V}$ . Une augmentation de la mobilité est constatée au niveau des régions II. Puisque la mobilité est étroitement liée au champ électrique et à la vitesse de déplacement des électrons, son augmentation se répercute directement sur le courant de drain.



**Figure III.12 :** Mobilité électronique à  $V_{GS} = -0,5 \text{ V}$  et  $V_{DS} = 8$  de la structure proposée (●●●) et C-SOI MESFET (○○○) le long de la ligne de coupe à  $0,195 \mu\text{m}$  de la surface dans le canal.

Par ailleurs, les figures III.13 a et b montrent la distribution de la densité du courant respectivement dans la structure conventionnelle et celle proposée, On constate que pour cette dernière, la distribution est plus importante que celle de la structure conventionnelle avec une forte concentration au niveau des régions II de type n insérées dans l'oxyde enterré. En fait, ces régions constituent un nouveau drain ce qui facilite le passage du courant dans le canal.

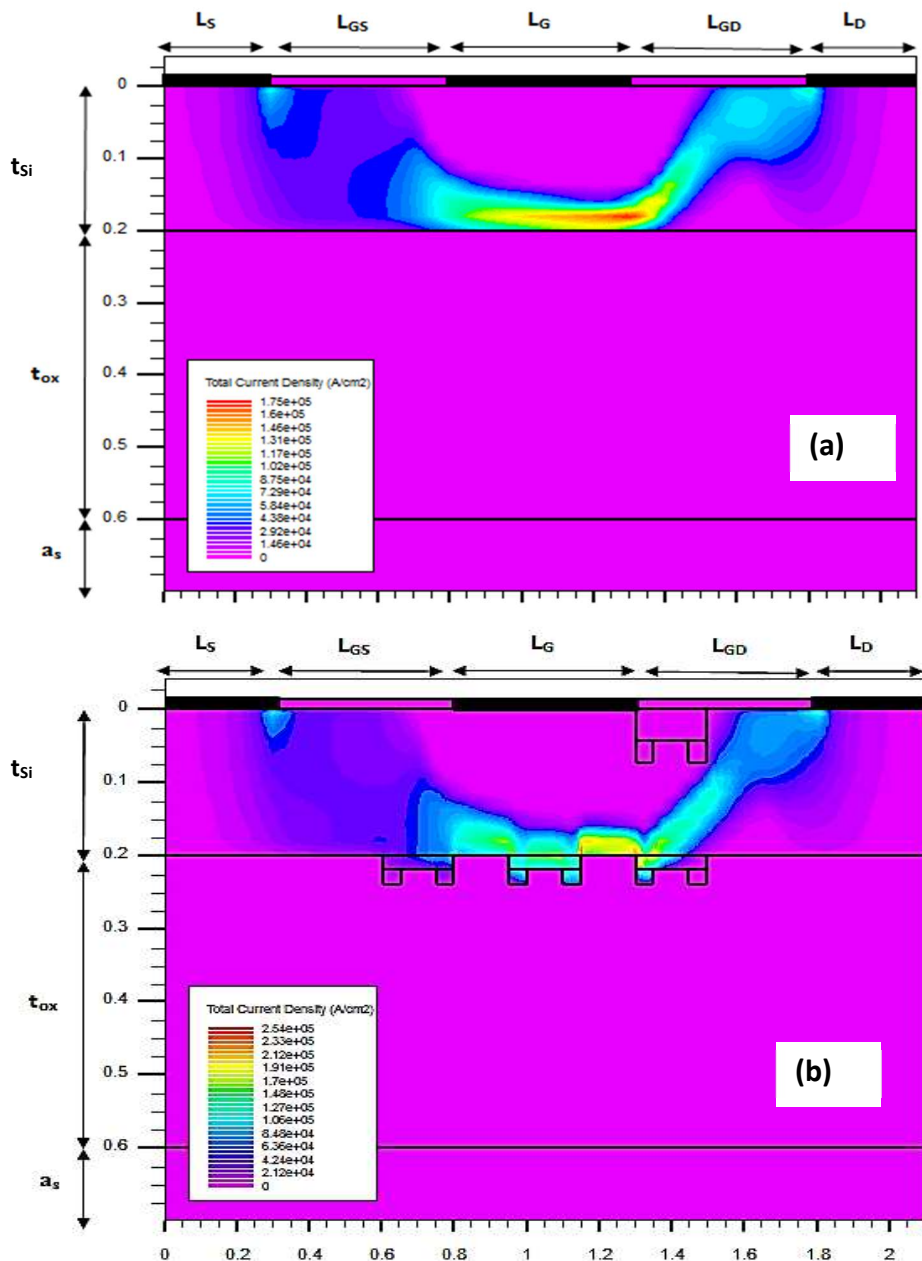
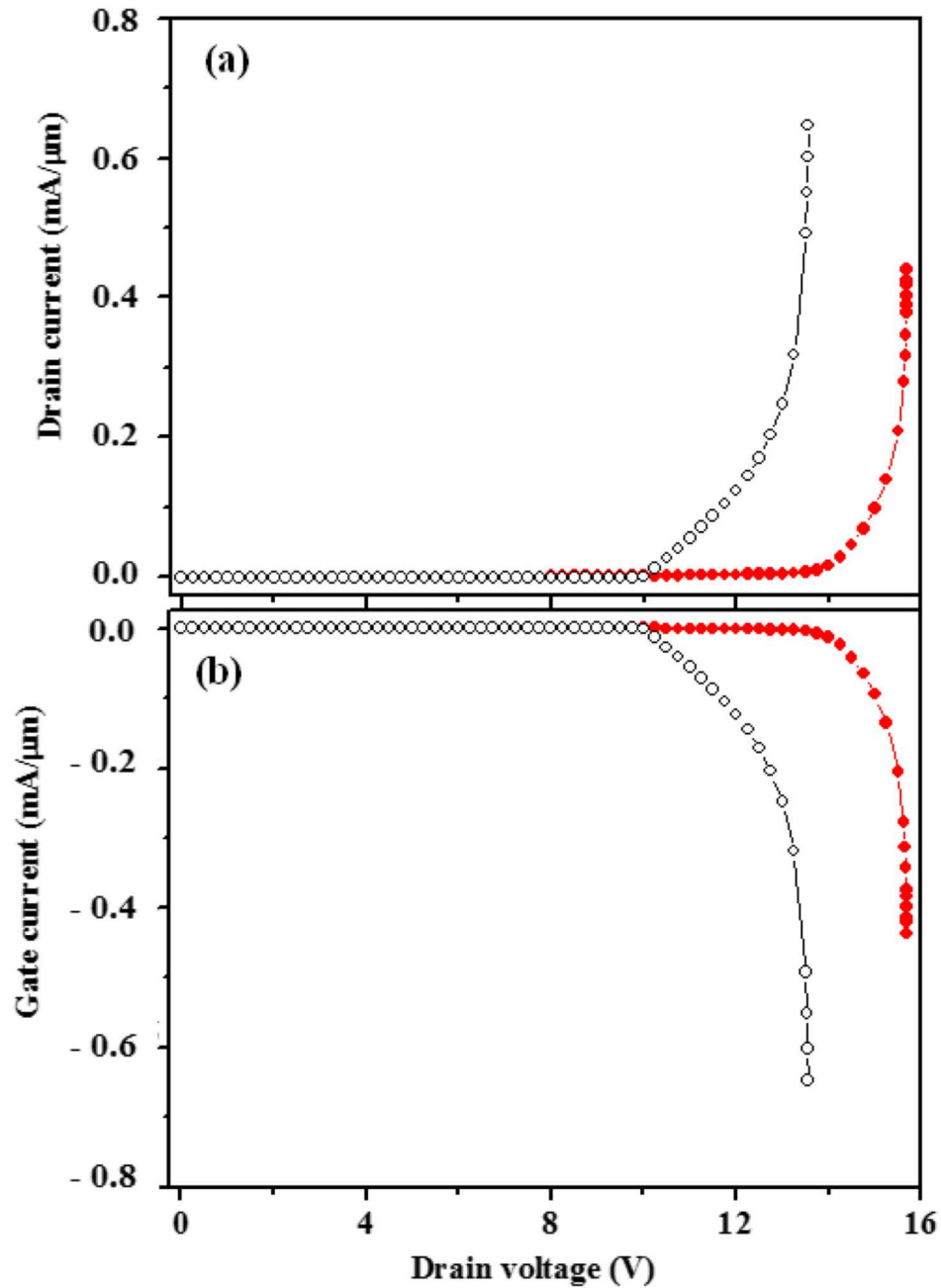


Figure III.13 : Distribution bidimensionnelle de la densité totale du courant à  $V_{GS} = -1$  V et  $V_{DS} = 10$  V pour (a) C-SOI MESFET et (b) Multi II-SOI MESFET.

### III.7 Tension de claquage

La détermination des tensions de claquage près du pincement d'un dispositif est essentielle pour toute application en réseau. Ce paramètre limite la tension d'oscillation des circuits logiques et la densité de puissance des amplificateurs [11]. Ainsi, sa détermination est capitale pour toute application des MESFETs. Dans les structures SOI MESFET, le claquage du canal se produit avant celui de la jonction grille-drain. En effet, le courant de grille est négligeable lorsque le courant de drain commence à augmenter. Lorsque la tension de grille,  $V_{GS}$ , approche la tension de pincement, la tension de drain doit augmenter pour maintenir le courant de drain constant. Quand le claquage est atteint aussi bien la tension de drain que le courant de grille commence à croître rapidement conduisant ainsi à un claquage de la jonction de grille par avalanche. Par ailleurs, dans les transistors SOI MESFETs, la tension de claquage est contrôlée par le claquage de la grille à cause du champ électrique élevé au niveau du bord de la grille près du drain et l'encombrement maximal des lignes du champ qui se produit à ce niveau [14]. Ainsi, la tension de claquage est conditionnée par : (i) une polarisation du drain en régime de saturation (courant maximum) et (ii) une polarisation de la grille juste avant le pincement (courant minimum). Par conséquent, idéalement, la valeur de  $V_{GS}$  devrait être supérieure à la tension de seuil.

La figure III.14 représente les variations du courant de drain (figure III.14a) et du courant de grille (figure III.14b) en fonction de la tension de drain à un  $V_{GS}$  tout près du pincement, soit  $V_{GS} = -3,25$  V. Il est clair de constater que les deux courbes de courant (de drain et de grille) présentent un comportement similaire : une région de saturation suivie d'une région de variations rapides et simultanées. Par conséquent, le début du changement des variations appelé "tension de claquage" se produit bien sous l'effet d'un champ électrique élevé, mais pas nécessairement entre le drain et la source (claquage de canal) ; il pourrait également résulter du claquage de la jonction de grille. De plus, on peut facilement déduire de la figure III.14 que la tension de claquage, pour les deux courants de drain, se produit à  $V_{DS} = 10$  V et  $V_{DS} = 13,5$  V respectivement pour le C-SOI MESFET et le Multi II-SOI MESFET proposé. Cependant, il est clair que pour le courant de grille, le claquage apparaît pratiquement à la même valeur que celle du courant de drain. Ainsi, le dispositif proposé tolérerait des tensions plus élevées par rapport à la structure classique. Par conséquent, l'amélioration de cette tension de claquage dans la structure proposée correspond à une amélioration de 35 % ; favorisant ainsi les applications en haute puissance.



**Figure III.14** : Caractéristiques du claquage pour la structure proposée (●●●) et la structure C-SOI MESFET (○○○) à  $V_{GS} = -3,25 V$ .

En effet, lorsque  $V_{BR}$  augmente, une polarisation plus élevée peut être appliquée aux dispositifs, augmentant ainsi la fréquence de fonctionnement maximale et la densité de puissance de sortie maximale. Par conséquent, l'importance de la présente structure réside dans l'amélioration simultanée à la fois de la tension de claquage et du courant de drain ; contrairement aux autres structures proposées pour lesquelles l'amélioration de la tension de claquage conduirait généralement à une diminution du courant de drain [3, 6].

Pour enrichir cette étude, il est également intéressant d'évaluer et de comparer la densité de puissance de sortie des deux structures. La densité de puissance de sortie maximale théorique,  $P_{max}$ , est donnée par l'équation suivante [15] :

$$P_{max} = \frac{I_{Dsat}(V_{BR}-V_{Knee})}{8} \quad (III.1)$$

où  $I_{Dsat}$  est le courant de saturation et  $V_{knee}$  est la tension de coude. L'équation III.1 montre qu'une augmentation de la tension de claquage et du courant de drain (ce qui est le cas pour la nouvelle structure proposée) conduit à une augmentation de  $P_{max}$ . Afin de quantifier ce comportement, nous avons calculé à partir de l'équation III.1 la densité de puissance de sortie maximale pour les deux structures à  $V_{GS} = 0$  V. On constate que  $P_{max}$  prend les valeurs de 0,133 W/mm et 0,205 W/mm respectivement pour la structure conventionnelle et celle proposée. Ainsi, une amélioration de la densité de puissance de sortie maximale d'environ 54 % est obtenue pour la structure proposée Multi II-SOI MESFET.

### III.8 Capacité d'accès

L'évolution des capacités grille-drain,  $C_{GD}$ , et grille-source,  $C_{GS}$ , dans la gamme de fréquence [1 MHz - 80 GHz] à  $V_{DS} = 8$  V est illustrée par les figures III.15a et b pour les deux structures proposée et conventionnelle et pour deux polarisations de grille :  $V_{GS} = -0,5$  V (●, ○) et  $V_{GS} = 0$  V (■, □). On peut observer que le même comportement est obtenu pour les deux structures et aux deux valeurs de  $V_{GS}$ . Cependant, les valeurs de  $C_{GD}$  et  $C_{GS}$  obtenues à  $V_{GS} = -0,5$  sont différentes de celles déterminées à  $V_{GS} = 0$  V.

La figure III.15a montre que la capacité grille-drain augmente avec la fréquence pour les deux structures et les deux polarisations avec des valeurs de la nouvelle structure bien inférieures à celle conventionnelle. En effet, dans cette structure proposée, l'extension de la zone de déplétion est plus large côté drain. De plus, la région en forme de II côté drain influence l'extension de la zone de déplétion sous la grille, dans le canal, ce qui conduit à une diminution de la densité de charge et par conséquent de la capacité grille-drain. Ce comportement est révélateur de l'amélioration des caractéristiques RF du dispositif telles que : le gain en puissance et le gain en courant [5].

La figure 15b illustre les variations de la capacité grille-source en fonction de la fréquence. On note une diminution de  $C_{GS}$  au fur et à mesure que la fréquence augmente. Ainsi, à l'inverse de  $C_{GD}$ , (figure III.15a), une allure opposée est relevée pour  $C_{GS}$ . Par ailleurs, on note un comportement pratiquement identique pour les deux structures avec juste une petite diminution, des valeurs de la structure proposée, ne dépassant pas les 4 %.

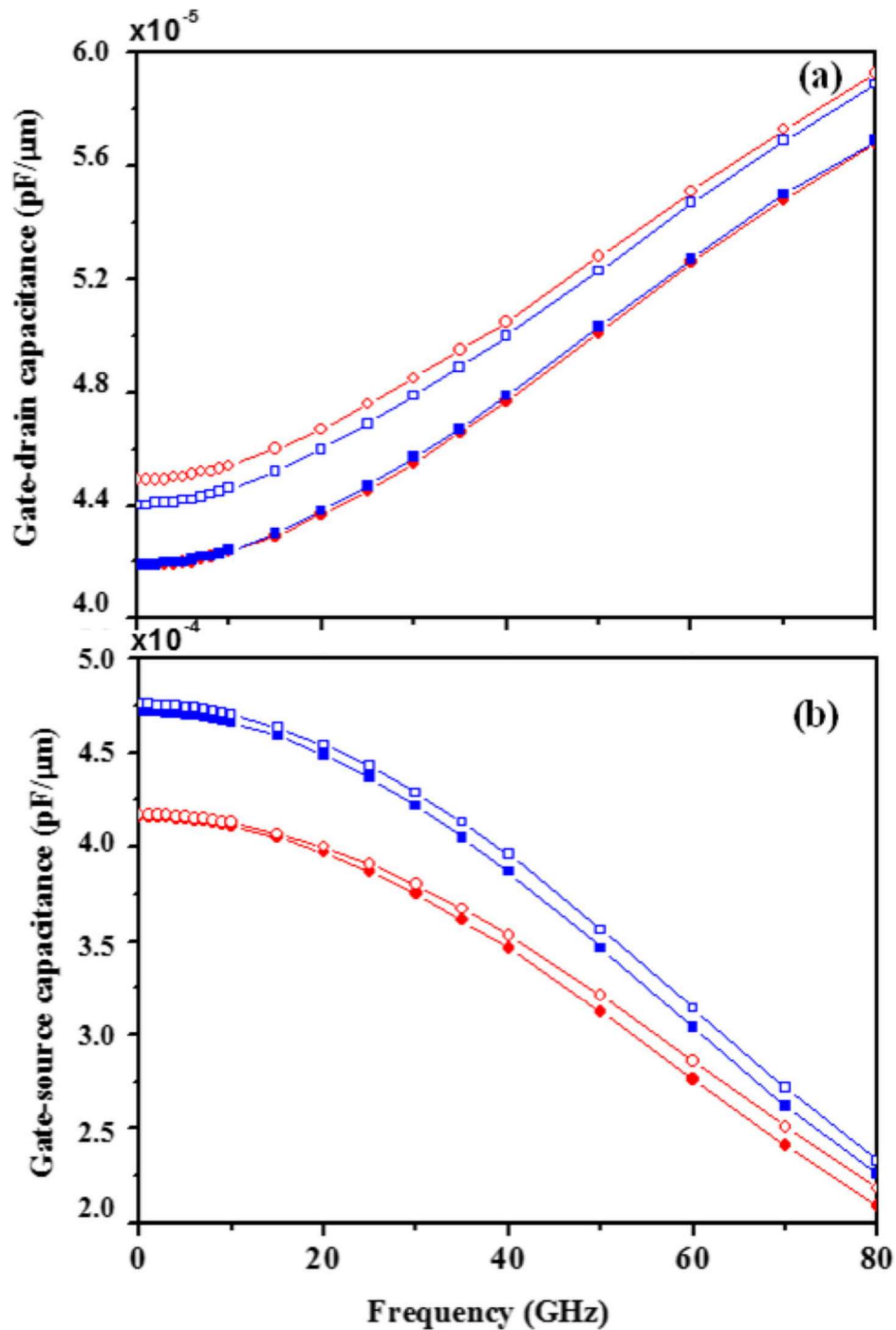
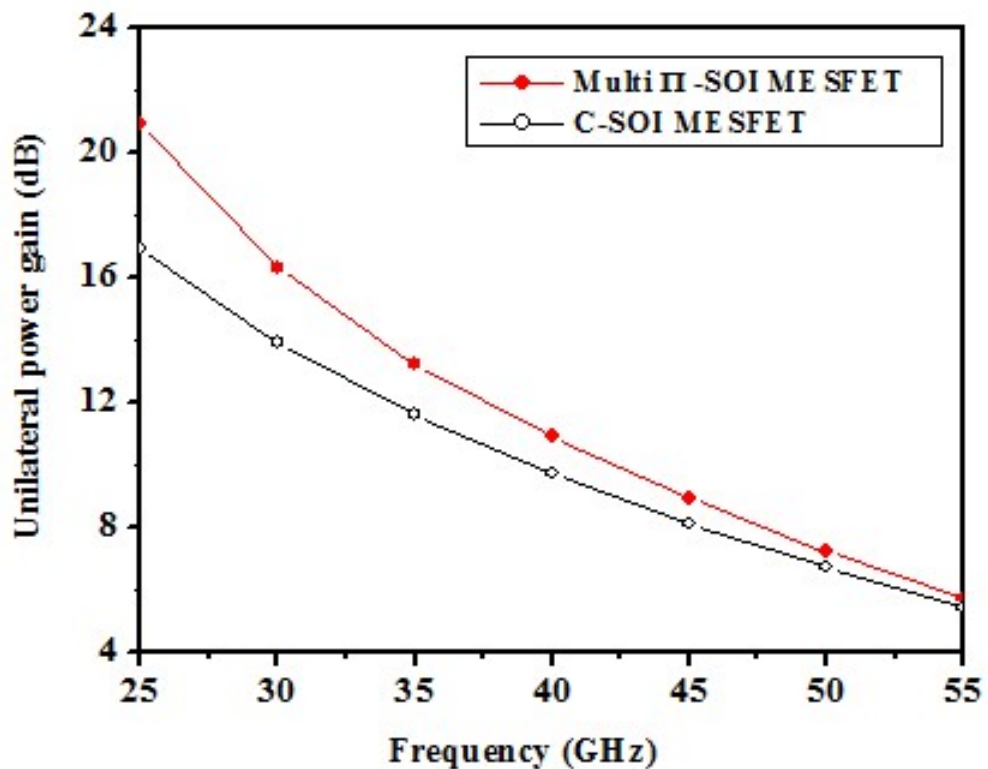


Figure III.15 : Évolution de la capacité : (a) grille-drain et (b) grille-source de la structure proposée (●, ■) et C-SOI MESFET (○, □) à  $V_{DS} = 8 V$  pour  $V_{GS} = -0,5 V$  (●, ○) et  $V_{GS} = 0 V$  (■, □).

### III. 9 Gain de puissance unilatéral et facteur de bruit

#### III.9.1 Gain de puissance unilatéral

L'évolution du gain en puissance unilatéral en fonction de la fréquence dans la gamme [25 GHz – 55 GHz] est illustrée par la figure III.16 pour les deux structures, proposée et conventionnelle, à  $V_{GS} = -0,5$  V et  $V_{DS} = 8$  V. On constate que le gain en puissance unilatéral pour le Multi II-SOI MESFET est nettement supérieur à celui de la structure conventionnelle, en particulier en basses fréquences où l'augmentation atteint 23,67 % à  $f = 25$  GHz. Cependant, nous n'avons pas noté d'améliorations ou de variations perceptibles sur les autres paramètres : le gain en courant et le gain maximum disponible des deux structures sont pratiquement identiques.

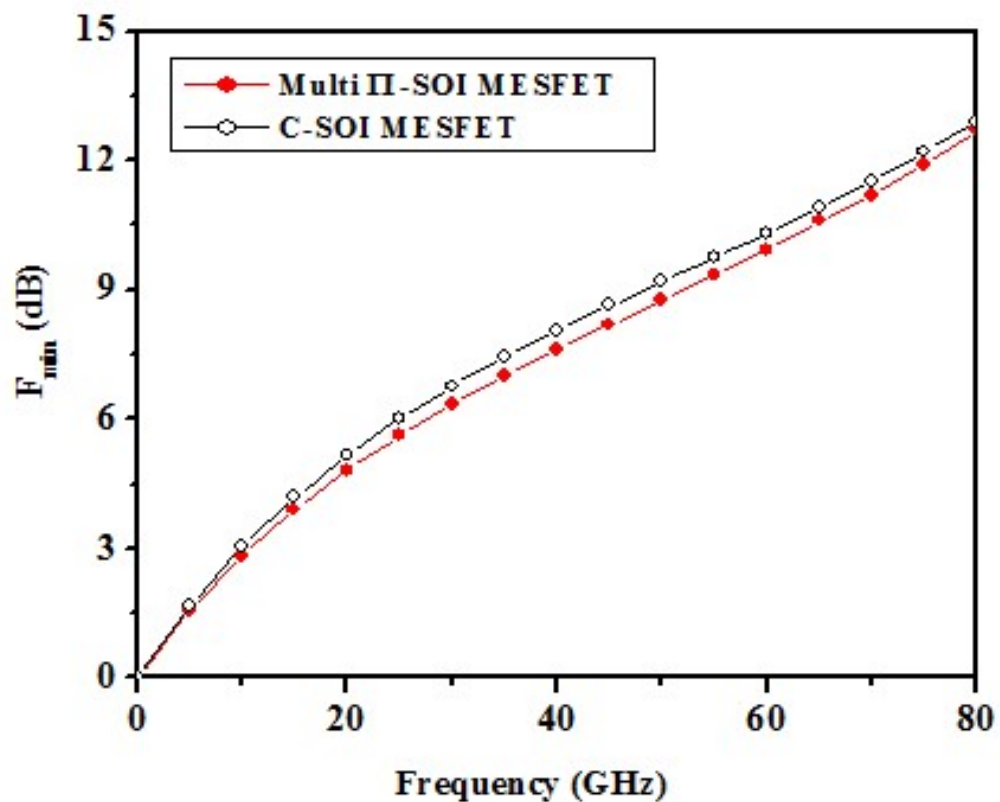


**Figure III.16 :** Comparaison du gain en puissance unilatérale pour la structure proposée (●●●) et C-SOI MESFET (○○○) à  $V_{GS} = -0,5$  V et  $V_{DS} = 8$  V.

### III.9.2 Facteur de bruit minimum

Le facteur de bruit est défini comme le rapport de la puissance du bruit totale à la puissance du bruit généré à partir de la seule impédance de la source. Ainsi, le facteur de bruit dépend également des éléments extrinsèques du circuit équivalent tels que la capacité  $C_{GS}$ , les résistances d'accès  $R_S$  (coté source) et  $R_D$  (côté drain) et la pente  $g_m$ . L'impact du bruit sur les caractéristiques électriques des MESFETs apparaît généralement comme une fluctuation du courant  $I_{DS}$ . Du point de vue conception de circuit, le facteur de bruit est le paramètre le plus important lié au bruit.

La figure III.17 représente l'évolution du facteur de bruit minimum en fonction de la fréquence dans la gamme de fréquence [1 MHz - 80 GHz], à  $V_{GS} = -0,5$  V et  $V_{DS} = 8$  V pour les deux structures proposée et conventionnelle. On note une diminution du facteur de bruit minimum de 5,55 % à une fréquence de 45 GHz. Ainsi, dans un environnement bruyant, la structure proposée fonctionne de manière plus fiable à comparer au C-SOI MESFET.



**Figure III.17 :** Évolution du facteur de bruit minimum en fonction de la fréquence pour la structure proposée (●●●) et C-SOI MESFET (○○○) à  $V_{GS} = -0,5$  V et  $V_{DS} = 8$  V.

### III.10 Conclusion

Dans ce chapitre, nous avons utilisé le simulateur ATLAS de SILVACO pour étudier la structure Multi  $\Pi$ -SOI MESFET que nous avons proposée pour améliorer les performances DC et RF du dispositif C-SOI MESFET. Après la réalisation technologique en suivant les différentes étapes offertes par le logiciel, nous nous sommes intéressés à l'étude de différentes caractéristiques électriques de cette structure et leurs comparaisons à celle de la C-SOI MESFET. Notons que le logiciel ATLAS spécifie tous les paramètres de simulation des dispositifs en définissant : la structure physique à simuler, les modèles physiques à utiliser et les conditions de polarisation pour lesquels les caractéristiques électriques doivent être déterminées.

La proposition d'une nouvelle structure SOI MESFET nous a permis d'obtenir une amélioration des caractéristiques aussi bien DC que RF. Pour cela, nous avons introduit (i) au bord de grille côté drain, une région en forme de  $\Pi$  composée dans sa partie supérieure du  $\text{Si}_3\text{N}_4$  et du silicium de type p dans sa partie inférieure et (ii) trois régions toujours en forme  $\Pi$  en Si type n sont introduites dans l'oxyde enterré.

Les améliorations les plus importantes des résultats obtenus pour la nouvelle structure Multi  $\Pi$ -SOI MESFET sont :

- Une meilleure redistribution des lignes du champ électrique, entraînant une diminution du champ électrique maximum et par conséquent une amélioration d'environ 35 % de la tension de claquage.
- Une augmentation d'environ 23,5 % du courant de drain.
- Une amélioration d'environ 54 % de la densité de puissance de sortie maximale.
- Une réduction des capacités grille-drain et grille-source dans la gamme des fréquences étudiées jusqu'à 80 GHz.
- Une augmentation du gain de puissance unilatéral de 23,67 % à  $f = 25$  GHz.
- Une diminution du facteur de bruit minimum de 5,55 % à  $f = 45$  GHz.

## References

- [1] Abdi A, Naderi A (2022) A novel metal–semiconductor device to enhance the current and unilateral power gains and 0 dB frequencies by SiO<sub>2</sub> insertion in drift region. *Materials Science and Engineering B* 283:115839. <https://doi.org/10.1016/j.mseb.2022.115839>
- [2] Khanjar S, Naderi A (2021) DC and RF characteristics improvement in SOI-MESFETs by inserting additional SiO<sub>2</sub> layers and symmetric Si wells. *Materials Science and Engineering B* 272: 115386. <https://doi.org/10.1016/j.mseb.2021.115386>
- [3] Naderi A, Heirani F (2017) Improvement in the performance of SOI-MESFETs by T-shaped oxide part at channel region: DC and RF Characteristics. *Superlattice Microst* 111:1022–1033. <https://doi.org/10.1016/j.spmi.2017.07.058>
- [4] Anvarifard MK (2016) Increase in the scattering of electric field lines in a new high voltage SOI MESFET. *Superlattice Microst* 97:15–27. <https://doi.org/10.1016/j.spmi.2016.06.005>
- [5] Naderi A, Mohammadi H (2018) High breakdown voltage and high driving current in a novel silicon-on-insulator MESFET with high and low-resistance boxes in the drift region. *Eur Phys J Plus* 133(6):1–10. <https://doi.org/10.1140/epjp/i2018-12047-5>
- [6] Anvarifard MK (2016) Symmetrical SOI MESFET with a dualcavity region (DCR-SOI MESFET) to promote high-voltage and radio frequency performances. *Superlattice Microst* 98:492–503. <https://doi.org/10.1016/j.spmi.2016.09.003>
- [7] Ervin J, Balijepalli A, Joshi P, Kushner V, Yang J, Thornton TJ (2006) CMOS-compatible SOI MESFETs with high breakdownvoltage. *IEEE Trans Electron Devices* 53:3129–3135. <https://doi.org/10.1109/TED.2006.885530>
- [8] Mohtaram M, Orouji AA, Ramezani Z, Keighobadi D (2021) Physical analysis on the DC and RF operations of a novel SOI MESFET with protruded gate and dual wells. *Silicon*. <https://doi.org/10.1007/s12633-021-01174-5>
- [9] Balijepalli A, Ervin J, Joshi P, Yang J, Cao Y, Thornton TJ (2006) High voltage CMOS compatible SOI MESFET characterization and spice model extraction. *IEEE MTT-S International Microwave Symposium Digest*, 1335–1338. <https://doi.org/10.1109/MWSYM.2006.249495>
- [10] Atlas (2012) User’s Manual: 2-D Device Simulator, Santa Clara, CA, USA.
- [11] Aggarwal RL, Ramdas AK (2019) Physical properties of Diamond and Sapphire. CRC Press, Boca Raton. <https://doi.org/10.1201/9780429283260>

[12] Orouji AA, Ramezani Z, Keshavarzi P, Aminbeidokhti A (2013) A novel high frequency SOI MESFET by modified gate capacitances. *Superlattices and Microstructures* 61: 69–80. <http://dx.doi.org/10.1016/j.spmi.2013.06.001>

[13] Naderi A, Heirani F (2018) A novel SOI-MESFET with symmetrical oxide boxes at both sides of gate and extended drift region into the buried oxide. *Int. J. Electron. Commun* 85: 91-98. <https://doi.org/10.1016/j.aeue.2018.01.001>

[14] Lepkowski W, Wilk SJ, Parsi A, Saraniti M, Ferry D, Thornton TJ (2014) Avalanche breakdown in SOI MESFETs. *Solid State Electron* 91:78–80. <https://doi.org/10.1016/j.sse.2013.10.003>

[15] Dal Fabbro PA, Kayal M (2010) *Linear CMOS RF power amplifiers for wireless applications*. Springer, Dordrecht. <https://doi.org/10.1007/978-90-481-9361-5>

## **Conclusion générale**

## **Conclusion générale**

La technologie du silicium sur isolant, SOI, est devenue une technologie de pointe pour la réalisation de circuits intégrés à très grande échelle pour une large gamme d'application grâce à ces attractives facilités et la grande maîtrise des conditions de fabrication. Récemment, pour améliorer les performances des structures conventionnelles et trouver des solutions aux problèmes technologiques, plusieurs structures de transistors à effet de champ semi-conducteur métal silicium sur isolant, SOI MESFET ont été proposées telles que: SO-ED-SOI MESFET, MGC-SOI MESFET, TT-SOI MESFET, SO-ED SOI MESFET, PGDW-SOI MESFET, SPC-SOI MESFET. Cependant, la difficulté réside pour chacune de ces structures dans la dégradation d'un paramètre lors de l'amélioration de l'autre.

L'objectif principal de ce travail de recherche est d'améliorer les performances DC et RF des structures SOI MESFETs conventionnelles tout en trouvant un compromis entre les paramètres améliorés tels que la tension de claquage, le courant de drain, les capacités, etc. Ainsi, dans ce contexte, nous avons proposé une nouvelle structure. Pour ce faire, une nouvelle structure : Multi  $\Pi$ -SOI MESFET qui consiste à introduire trois régions égales en forme de  $\Pi$  de Si de type n dans la partie supérieure de l'oxyde enterré ainsi qu'une région en forme de  $\Pi$  au bord de la grille vers le côté drain.

Afin de mener à bien ce travail, nous avons utilisé le simulateur ATLAS de SILVACO pour réaliser et étudier via une modélisation bidimensionnel de la nouvelle structure pour laquelle il fallait spécifier : la structure physique à simuler, les modèles physiques à utiliser et les conditions de polarisation pour lesquelles les caractéristiques électriques doivent être simulées. Ensuite, nous nous sommes intéressés aux performances de cette structure Multi  $\Pi$ -SOI MESFET et sa comparaison avec le composant C-SOI MESFET conventionnel.

Les principaux résultats et conclusions obtenus sont résumés ci-dessous :

- ✓ une meilleure redistribution des lignes de champ électrique est observée dans la structure proposée, conduisant à une meilleure disposition des lignes de potentiel aux bords de la grille côté drain, entraînant une diminution du champ électrique maximal et par conséquent une amélioration d'environ 35% de la tension de claquage.
- ✓ les caractéristiques courant-tension en régime de saturation ont révélé une augmentation significative du courant de drain d'environ 23,5 %; cette augmentation du courant de drain est due à l'élargissement du canal conducteur dans l'oxyde enterrée par l'introduction de régions Si de type n avec la même concentration de dopage que celle de la région active.
- ✓ une réduction des capacités parasites grille-source et grille-drain a également été obtenue pour des fréquences jusqu'à 80 GHz.
- ✓ la densité de puissance de sortie maximale et le gain de puissance ont été respectivement améliorés d'environ 54% et 23,7%.
- ✓ Dans un environnement, à haut bruit, la structure proposée fonctionne de manière plus fiable par rapport au C-SOI MESFET.

En perspectives, il serait intéressant de procéder à la réalisation de prototypes de ce nouveau composant, Multi II-SOI MESFET, par la technologie du silicium sur isolant en vue de son application en circuits intégrés VLSI. Par ailleurs la conception et l'investigation d'autres structures SOI MESFET reste toujours d'actualité et envisageable



# A Novel Silicon on Insulator MESFET with Multi-II Regions to Improve DC and RF Performances

Lamia Abid<sup>1</sup> · Ilhem Hadjoub<sup>1,2</sup> · Abdellaziz Doghmane<sup>1</sup> · Nour Elimene Abdaoui<sup>1</sup> · Zahia Hadjoub<sup>1</sup> 

Received: 26 January 2022 / Accepted: 5 April 2022  
© The Author(s), under exclusive licence to Springer Nature B.V. 2022

## Abstract

In order to improve DC and RF performances of silicon on insulator metal semiconductor field effect transistor (SOI MESFET) devices a novel structure is proposed. To do so, we introduce three equal II shaped regions of n-type Si into the upper part of the buried oxide as well a II shaped region at the edge of the gate towards the drain side. The main objectives from this structure is to control the uniformity of the bulk of the electric field lines accumulated at the edges of the gate on the drain side and to optimize certain important parameters such as the breakdown voltage, the drain current, the gate-drain and gate source parasitic capacitances, maximum output power density, etc. The investigation of the proposed multi-II SOI MESFET structure and its comparison to conventional C-SOI MESFET was carried out via the 2D numerical simulations using ATLAS simulator from Silvaco. The obtained results showed that the electric field lines are better distributed, leading to a decrease in the maximum electric field and consequently an improvement of about 35% in the breakdown voltage. Moreover, the current-voltage characteristics in saturation conditions revealed a significant increase in the drain current of about 23.5%. A reduction in the gate-source and gate-drain parasitic capacitances was also obtained for frequencies up to 80 GHz. Furthermore, the maximum output power density and the unilateral power gain were improved by about 54% and 23.7%, respectively. The importance of these improved performances lies in the potential use of this new structure in the design of integrated circuits for high frequency and high power applications.

**Key words** Multi-II SOI MESFET · Breakdown voltage · Output characteristics · RF performances

## 1 Introduction

Technologies with buried oxide layers, as insulators, have been widely developed in microelectronics due to their various advantages compared to bulk silicon substrates [1], such as low parasitic source and drain capacitances of the devices [2]. Moreover, silicon on insulator, SOI, technologies offer the possibility of their operations at high speed, high power and high voltage, which makes them well suited for many micro-electronic applications, in particular for very large scale integration circuits [3, 4]. Despite the numerous advantages of SOI technology, SOI MESFET transistors still suffer from

some problems: low breakdown voltage, self-heating effect, non-uniform distribution of electric field lines, low oscillation frequencies, etc.

In order to improve the device electrical performance, several research propositions were carried out, particularly to modify the conventional structure C-SOI MESFET. The idea is to insert, in the channel or in the buried oxide, regions of different materials and different shapes. Hence, researchers [5] have incorporated a region of hafnium oxide in the shape of an inverted letter T in the region of the channel. It was reported that the obtained structure shows an increase in breakdown voltage of the device due to the higher critical electric field compared to the silicon used in conventional structures. Further reported works [6] proposed the realization of two trenches with different materials: the first one, in hafnium oxide  $\text{HfO}_2$ , is created in the region of the channel and the second, in silicon, in the buried oxide. This proposed structure improves the breakdown voltage, decreases the noise figure and increases the output power density. In order to change the depletion zone and charge distribution in the channel, an additional oxide is added in the channel below the gate, near the

✉ Zahia Hadjoub  
Z\_hadjoub@yahoo.fr

<sup>1</sup> Laboratoire des Semi-conducteurs, Département de Physique, Faculté des Sciences, Université Badji-Mokhtar, Annaba B.P 12, DZ-23000, Algeria

<sup>2</sup> Ecole Supérieure des Technologies Industrielles, ESTI, Annaba DZ-23000, Algeria

drain. Thus, the concentration of the electric field will be dispersed at the corner of the gate near the drain, which leads to an increase of the breakdown voltage. Further investigations are based on the insertion of a region of SiO<sub>2</sub>, into the channel [7]. Although these modifications lead to an increase in the electric field as compared to the conventional C-SOI MESFET structure, the highest critical value is located in the additional oxide region thus leading to an improvement in the breakdown voltage.

More research works [8] proposed the insertion of p-type silicon regions into the space between gate-drain or gate-source. These regions modulate the distribution of the potential lines along the channel resulting in a more uniform profile throughout the channel region resulting in a decrease in the critical electric field and an improvement in the breakdown voltage. However, a compromise between breakdown voltage and drain current has been noted: increasing the drain current reduces the breakdown voltage [9]. In order to improve both the breakdown voltage and the drain current of C-SOI MESFETs, researchers [9, 10] insert n-type rectangular regions into the buried oxide, BOX. It should be noted that no structure proposed to date improves all characteristics. For example, increasing the inter-electrode distance to 5 μm gives a maximum breakdown voltage of 45 V but there is some degradation in RF performance due to the considerable increase in parasitic resistances [11]. Moreover, in some cases, the improvement of the breakdown voltage leads to a decrease in the drain current [8]. As mentioned above, despite the large number of works carried out in order to improve certain parameters and characteristics of the C-SOI MESFET structure, often compromises have to be made. Hence, efforts still need to be made in order to select both the material of the added regions as well as their locations, shapes and dimensions.

In this context, we intend to improve the DC and RF performance of the C-SOI MESFET device. To do so, we first propose a new structure, multi-II SOI MESFET, which includes three n-type Si regions in the form of II created in the buried oxide and another region in the form of a II at the edge of the gate on the drain side. The latter II is a combination of silicon nitride, Si<sub>3</sub>N<sub>4</sub>, in its upper part and p-doped Si, in its lower parts. The main idea of this structure is to reduce and disperse the bulk of the electric field lines accumulated at the edges of the gate on the drain side and to optimize certain important parameters such as the breakdown voltage, the drain current, the gate-drain and gate source parasitic capacitances, maximum output power density, etc.

## 2 Methodology

The 2D numerical simulations, for both conventional and proposed structures, were carried out using the ATLAS simulator from Silvaco [12]. The Silvaco

software is used as one of the simulation tools in many studies [6–8, 13]. Indeed, several studies have shown that Silvaco is one of the most reliable and precise computer-aided design tools of semiconductor device investigations. It should be noted that the ATLAS software specifies the characteristics of the devices after the design of (i) the physical structure to be simulated, (ii) the physical models to be used and (iii) the polarization conditions for which the electrical characteristics must be determined. It predicts the electrical behavior of semiconductor structures in AC, DC and transient conditions, which allows a better understanding of the internal physical mechanisms associated with device operations.

In order to evaluate electrical performance, we consider in this investigation the device fundamental equations: transport equations, continuity equations and Poisson equation. Let us recall that the continuity equations for electrons and holes are defined as follows [14]:

$$\frac{\partial n}{\partial t} = \frac{1}{q} \text{div} \vec{J}_n + G_n - R_n \quad (1)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \text{div} \vec{J}_p + G_p - R_p \quad (2)$$

where  $n$  and  $p$  are electron and hole densities,  $q$  is the electron charge,  $J_n$ ,  $J_p$ ,  $G_n$ ,  $G_p$ ,  $R_n$  and  $R_p$  are current densities ( $J$ ), generation rates ( $G$ ) and recombination rates ( $R$ ), respectively; the subscripts  $n$  and  $p$  stand for electrons and holes.

To simulate both C-SOI MESFET and multi-II SOI MESFET structures, we used the phenomena of conduction-diffusion transport. Thus, the current densities are written as [14]:

$$\vec{J}_n = qn\mu_n \vec{E}_n + qD_n \nabla n \quad (3)$$

$$\vec{J}_p = qp\mu_p \vec{E}_p + qD_p \nabla p \quad (4)$$

where  $D_n$  et and  $D_p$  are diffusion constants of electrons and holes,  $\mu_n$  and  $\mu_p$  are the motilities of electrons and holes, respectively.

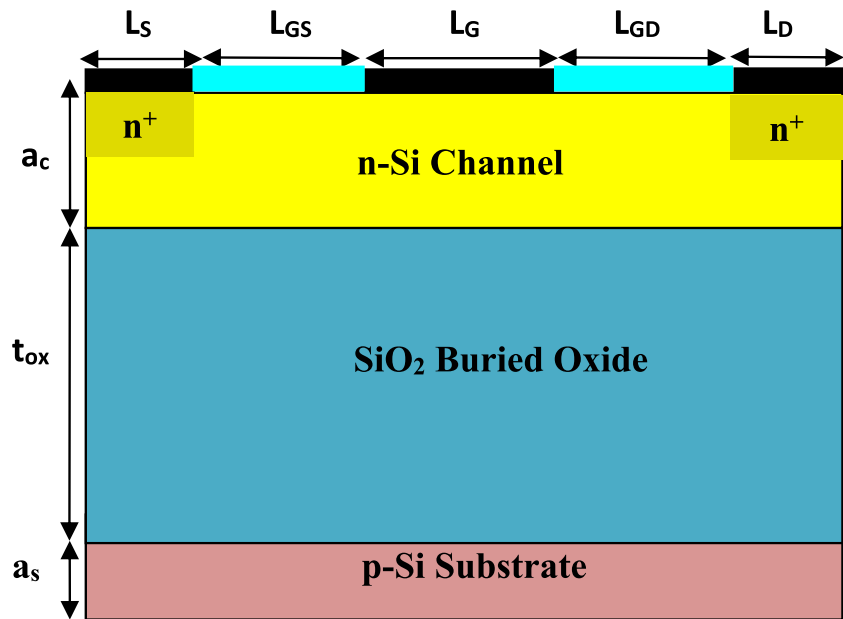
The Poisson's equation that relates the electrostatic potential to the space charge density is given by:

$$\text{div}(\varepsilon \nabla \psi) = -\rho \quad (5)$$

where  $\psi$  is the electrostatic potential,  $\varepsilon$  is the permittivity and  $\rho$  the space charge density which is the total contribution of all mobile and fixed charges including electrons, holes and impurities. It should be noted that in ATLAS, the intrinsic Fermi potential is defined as the reference potential.

Moreover, in order to obtain real and precise results, several models are activated in the simulation processes, in particular:

**Fig. 1** Cross section of the conventional SOI MESFET structure



- *Mobility models:* Concentration and Temperature Dependent (ANALYTIC), Parallel Electric Field Dependent (FLDMOB) and the full model including the effects of dopant concentration, lattice temperature and the parallel and perpendicular electric field (CVT).
- *Recombination models:* Shockley-Read-Hall, SRH, used in most simulations, via the life times of minority carriers and the Auger which takes into account direct transitions of charge carriers, especially at high current density.
- *Impact ionization model:* Selberherr's model, IMPACT SELB, Recommended for most cases; it includes temperature dependent parameters.
- *Tunneling Models and Carrier Injection Models:* Band to Band (standard), BBT.STD, for direct transitions, required for very high electric fields.

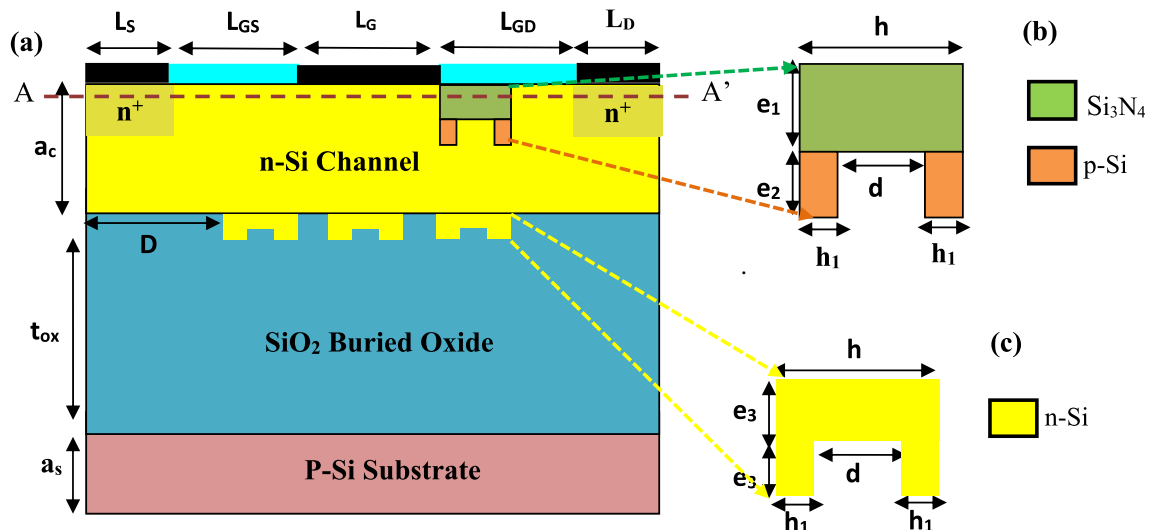
### 3 SOI MESFET Structures

Figure 1 represents a typical cross-section view of the conventional SOI-MESFET structure. This structure is composed of a p-type silicon substrate and a buried oxide layer of silicon dioxide, SiO<sub>2</sub>. The active layer of the C-SOI MESFET structure is n-type silicon. The layers under ohmic source and drain contacts are highly doped, n<sup>+</sup>-Si. The Schottky contact gate is nickel, Ni. The inter-electrode passivation SiO<sub>2</sub> layers ensure protection of the device from external effects. Finally, the dimensions of both lengths and thicknesses of each region are given in Table 1. It should be noted that the parameters of this C-SOI MESFET structure are those usually chosen in literature.

Figure 2(a) represents a cross-section view of the multi-II SOI MESFET proposed structure. It consists of (i) a II shaped

**Table 1** Values of geometric and technological parameters of the C-SOI MESFET and the proposed multi-II SOI MESFET structures

Parameter	Symbol	Value
Gate length	$L_G$	0,5 $\mu\text{m}$
Drain length	$L_D$	0,3 $\mu\text{m}$
Source length	$L_S$	0,3 $\mu\text{m}$
Gate - source spacing	$L_{GS}$	0,5 $\mu\text{m}$
Gate - drain spacing	$L_{GD}$	0,5 $\mu\text{m}$
Channel height	$a_c$	0.2 $\mu\text{m}$
Substrate height	$a_s$	0.1 $\mu\text{m}$
Buried oxide height	$t_{ox}$	0,4 $\mu\text{m}$
Doping concentration of channel region	$N_D$	$1.10^{17} \text{ cm}^{-3}$
Doping concentration of regions under source and drain	$N_D^+$	$1.10^{20} \text{ cm}^{-3}$
Doping concentration of substrate region	$N_A$	$1.10^{13} \text{ cm}^{-3}$
Gate metal work function of nickel	$\phi_m$	5.1 eV

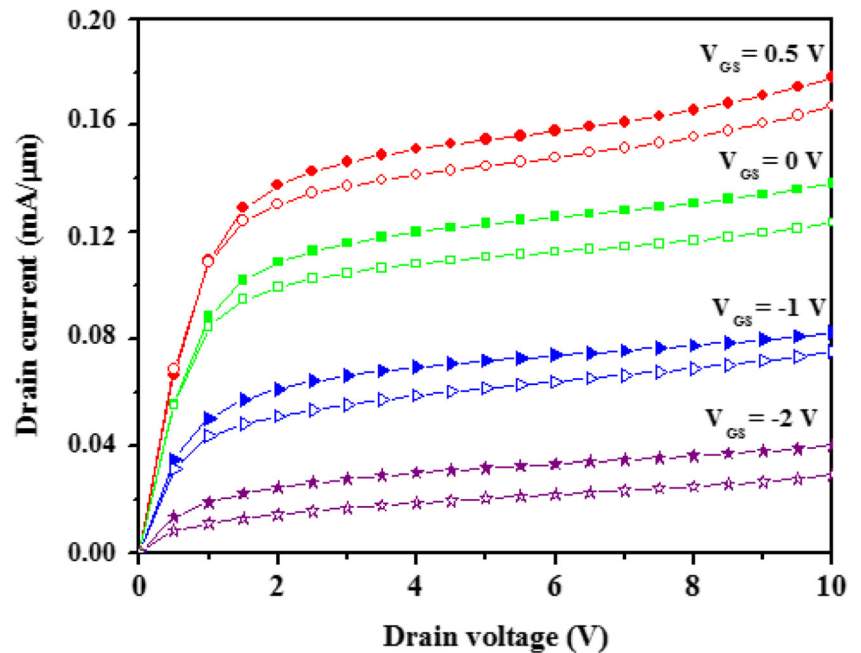


**Fig. 2** (a) Cross section of the multi-II SOI MESFET structure, (b) II Region at the edge of the gate and (c) Si regions in the oxide

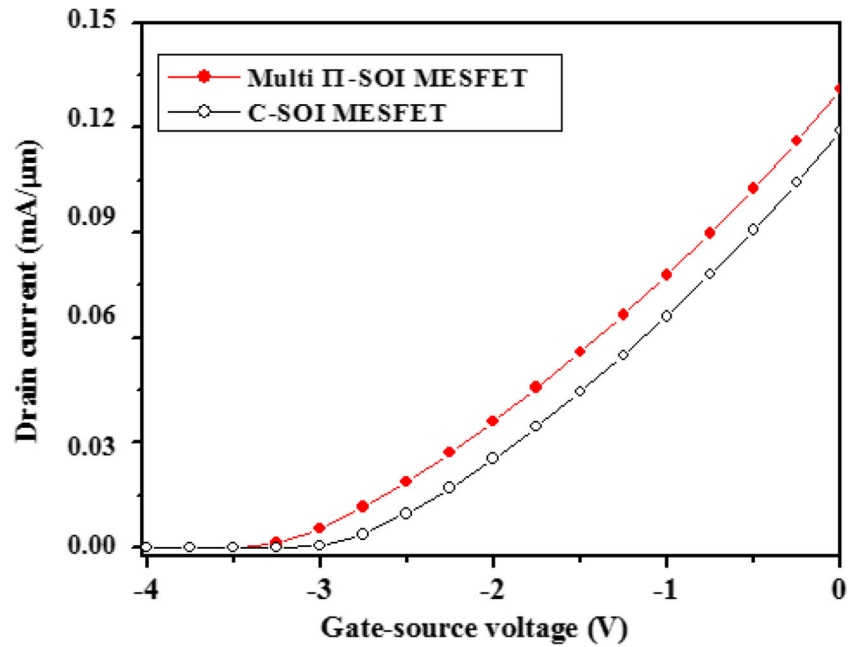
**Table 2** Values of the geometric and technological parameters of the regions II inserted in the channel and in the buried oxide

Parameter	Symbol	Value
Length of the upper part of the II region in the channel	$h$	$0.20 \mu\text{m}$
Length of the lower part of the II region in the channel	$h_1$	$0.05 \mu\text{m}$
Distance between the lower parts of the II region in the channel	$d$	$0.10 \mu\text{m}$
Thickness of the upper part of the II region in the channel	$e_1$	$0.0425 \mu\text{m}$
Thickness of the lower parts of the II region in the channel	$e_2$	$0.03 \mu\text{m}$
Doping concentration of lower Si parts of the II region in the channel	$N_A$	$1.10^{17} \text{cm}^{-3}$
Thickness of upper and lower parts of the 3II regions in the BOX.	$e_3$	$0.02 \mu\text{m}$
Doping concentration of the 3II regions in the BOX.	$N_D$	$1.10^{17} \text{cm}^{-3}$
Distance of the first 3II regions in the BOX from the left hand side	$D$	$0.60 \text{M}$

**Fig. 3**  $I_{DS}(V_{DS})$  characteristics of the proposed structure (●, ■, ▲, ★) and those of C-SOI MESFET (○, □, ▷, ☆) at different  $V_{GS}$  voltages.



**Fig. 4**  $I_{DS}(V_{GS})$  characteristics at  $V_{DS} = 8$  V for the proposed structure (●●●) and C-SOI MESFET (○○○)

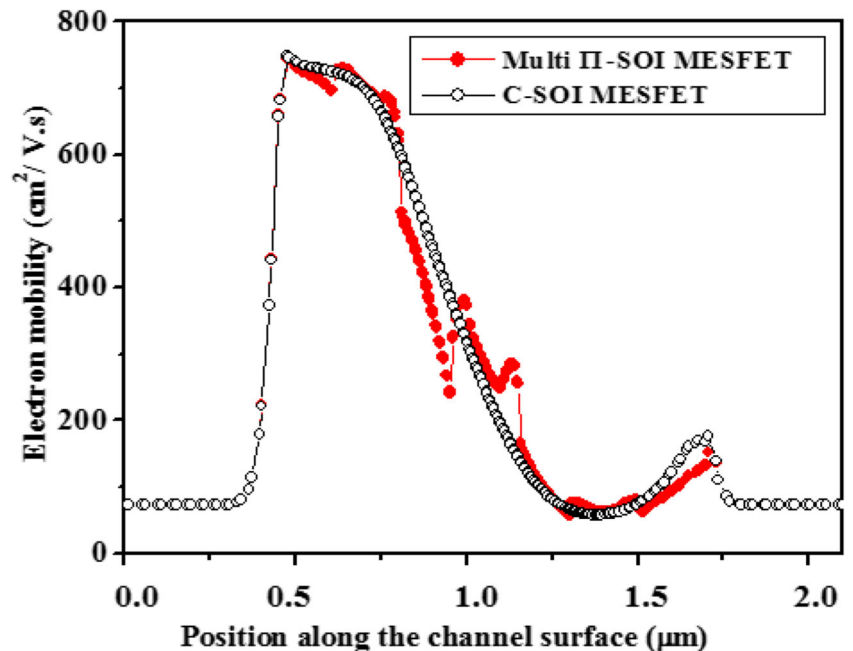


region situated at the edge of the gate towards the drain side (Fig. 2(b)), and (ii) three equal II shaped regions of n-type Si in the upper part of the buried oxide (Fig. 2(c)). The first II shaped region consists of a silicon nitride,  $\text{Si}_3\text{N}_4$ , upper part and two p-type Si lower parts (slices). The dimensions of this II shaped region are denoted:  $h$ ,  $d$ ,  $h_1$ ,  $h_2$ ,  $e_1$  and  $e_2$  (Fig. 2(b) and Table 2).

The use of the combination of  $\text{Si}_3\text{N}_4$  and p-Si materials to form II shaped structure is very advantageous. Since the dielectric/silicon interface introduces a discontinuity in the electric field as a result of the difference

in the permittivity of both materials, it would be better to choose an interface with the nearest permittivity values. Therefore, in the present case, the use of  $\text{Si}_3\text{N}_4$  whose relative permittivity  $\epsilon_r = 7.5$  gives a better ratio with Si whose  $\epsilon_{\text{Si}} = 11.8$  if compared to  $\text{SiO}_2$  with  $\epsilon_{\text{SiO}_2} = 3.9$ . Hence, a better continuity of the field would be obtained with  $\text{Si}_3\text{N}_4$ . Moreover, the introduction of p-type Si slices improves the breakdown voltage, since two reverse biased diodes are formed at the interface between the lower region of the channel and these p-slices. These internal diodes modify the electric field

**Fig. 5** Electron Mobility at  $V_{GS} = -0.5$  V and  $V_{DS} = 8$  V of the proposed structure (●●●) and C-MESFET (○○○) along the cutline at 0.195  $\mu\text{m}$  from the surface in the channel

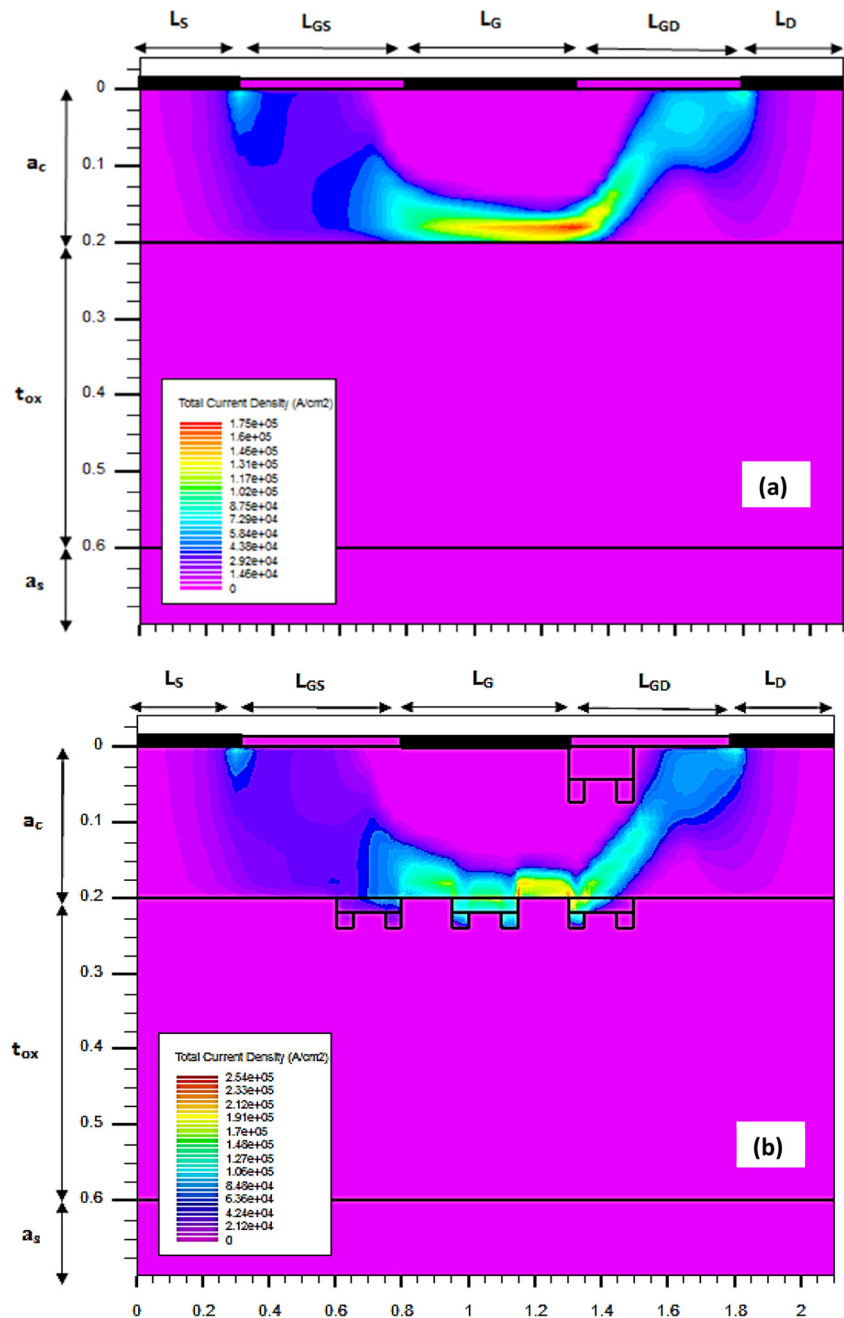


distribution in the channel and lead to a decrease of the electric field density at the edge of the gate near the drain.

Moreover, three equal II shaped regions of n-type Si (Fig. 2(c)) are introduced in the BOX in order to improve the drain current in the proposed structure. In fact, these n-type regions are rich of additional electron concentrations, which contribute to the conduction mechanism in the channel. These II shaped regions are equidistant of  $0.15 \mu\text{m}$  spacing. From a close observation of Fig. 2(a), it can be seen that the central II shaped region is well positioned underneath the gate

in the BOX; whereas the outer II regions are situated underneath both edges of the gate and extend towards the source and the drain. The left hand side outer II region, in the BOX, is situated at  $D = 0.6 \mu\text{m}$  from transistor left extremity. The dimensions of these equal II shaped regions are denoted:  $h$ ,  $d$ ,  $h_1$ ,  $h_2$  and  $e_3$  (Fig. 2(c) and Table 2); whereas, the other characteristics are similar to those of conventional C-SOI MESFET (Table 1). Finally, it should be noted that both the central II region and that located on the drain side contribute to the dispersion of the lines of the electric field accumulated at the edge of the gate and

**Fig. 6** Two-dimensional distribution of the total current density at  $V_{GS} = -1 \text{ V}$  and  $V_{DS} = 10 \text{ V}$  for (a) C-SOI MESFET and (b) multi-II SOI MESFET.



consequently improve the breakdown voltage, a very important parameter for devices operating in RF.

## 4 Results and Discussions

### 4.1 Device Characteristics

Figure 3 illustrates the variations of the output characteristics,  $I_{DS}(V_{DS})$ , of the proposed multi-II SOI MESFET (*full symbols*: ●, ■, ►, ★) structure and that of the conventional structure (*open symbols*: ○, □, ▷, ☆), for drain voltages varying up to 10 V for positive and negative polarities and for different values of gate voltages (0.5 V, 0 V, -1 V and -2 V). It can clearly be seen that all the curves show an initial linear increase followed by a saturation region. However, in the saturation regime, whatever the considered  $V_{GS}$  value, the drain current for the proposed multi-II SOI MESFET is higher than that of the C-SOI MESFET. Whereas, in ohmic regime that defines the on-state resistance, the drain current is quasi-identical for both structures.

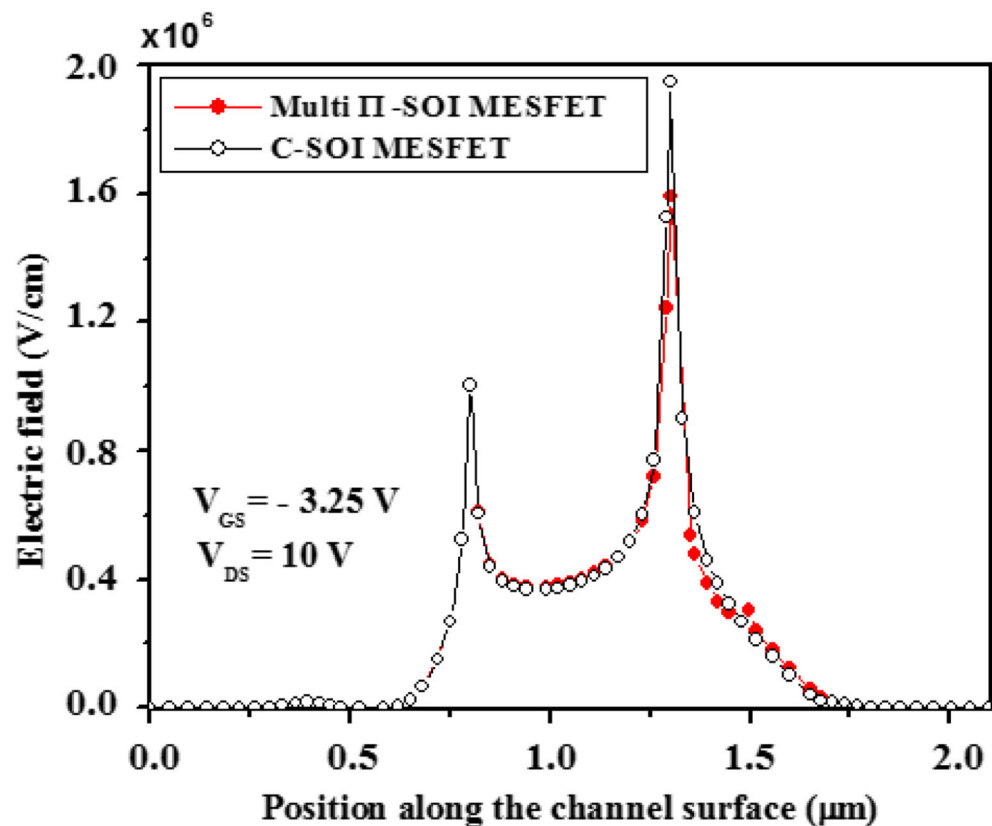
This behavior can be physically explained. In the absence of any bias, there is a uniform and narrow depletion region under the gate. However, if the drain voltage is increased towards positive values, at a fixed gate bias, current starts to flow in the channel and the device behaves initially as an ohmic resistor. Any further increase in the drain voltage leads

to a widening in the depletion width towards the drain and consequently the channel starts to pinch off; thus reducing the current flow and increasing its resistivity. These phenomena lead to the current saturation for  $V_{DS} \geq 2$  V. Eventually, at very large drain bias values the device would break down and the current would sharply increase.

In order to complete the set of other characteristic curves we plot in Fig. 4 the transfer characteristics  $I_{DS} = f(V_{GS})$  at a given value in the saturation region, i. e.,  $V_{DS} = 8$  V. It can clearly be seen that the drain current decreases, with the increase in the absolute value of the gate voltage, down to a null value at  $V_{GS} = -3.5$  V for multi II-SOI MESFET corresponding to the threshold voltage. In fact, when the voltage  $V_{GS}$  increases in absolute value, the depletion region widens, the conductive channel becomes thinner and consequently the current is reduced; thus, leading to the variation of transfer characteristics illustrated in Fig. 4.

Therefore, it can safely be stated that an interesting feature of the proposed multi-II SOI MESFET structure, is its much higher drain current than that of conventional structures for all  $V_{GS}$  values. It should be emphasized that the drift current, in the conductive channel, is very essential in high voltage applications. This important result was achieved by widening the conductive channel in the buried oxide by the introduction of n-type Si regions with the same doping concentration as that of the active region.

**Fig. 7** Electric field distribution from the left extremity to the right end of the C-SOI MESFET and multi-II SOI MESFET

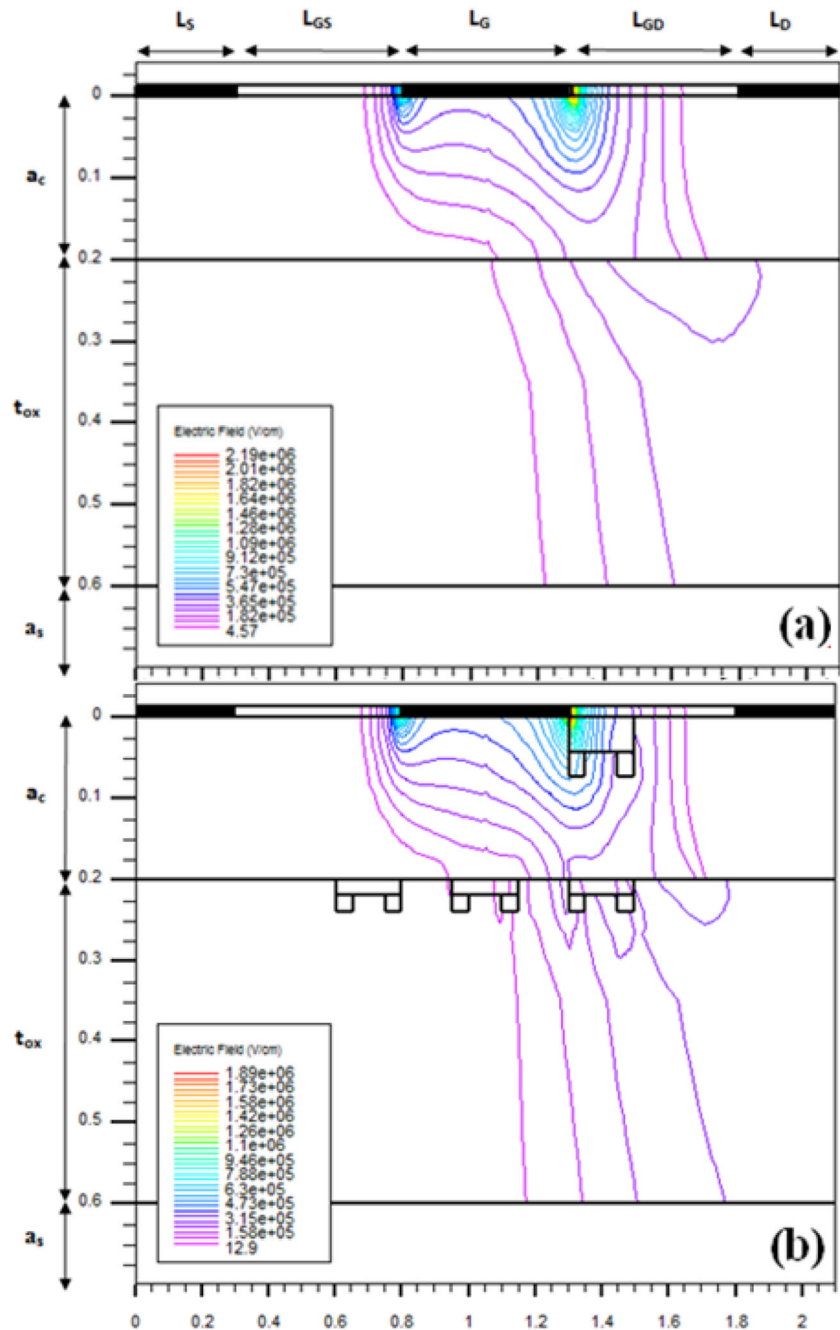


Moreover, in order to better explain the improvement of the drain current in the proposed structure, we represent in Fig. 5 the evolution of electrons mobility along the cutting line located at  $0.195 \mu\text{m}$  from the device surface. The calculations were carried out at the polarizations  $V_{GS} = 0 \text{ V}$  and  $V_{DS} = 8 \text{ V}$ . An increase in mobility is noted at the levels of the  $\text{II}$  regions. As the mobility is closely linked to the electric field and to the velocity electrons displacement, its increase influences directly the drain current which undergoes an increase.

It should be noted that the  $\text{II}$  region at the edge of the gate leads to a decrease in the conductive section of the channel; but the three n-type regions introduced in the

buried oxide compensate this reduction and consequently improve the conduction in the channel by giving additional free electrons. Therefore, the increase in the concentration of carriers leads to a decrease in the resistivity of the active zone of the device and consequently to an increase in the drain current. This current is one of the important parameters determining the capacity of a device to operate in high voltage applications. Finally, Figs. 6(a) and (b) show the distribution of the current density in the conventional and proposed structures, respectively. It can be noted that for the proposed structure, the distribution is larger than that of the conventional structure with a high

**Fig. 8** Two-dimensional distribution of the electric field lines at  $V_{GS} = -3.25 \text{ V}$  and  $V_{DS} = 10 \text{ V}$  for: (a) C- SOI MESFET and (b) multi-II SOI MESFET



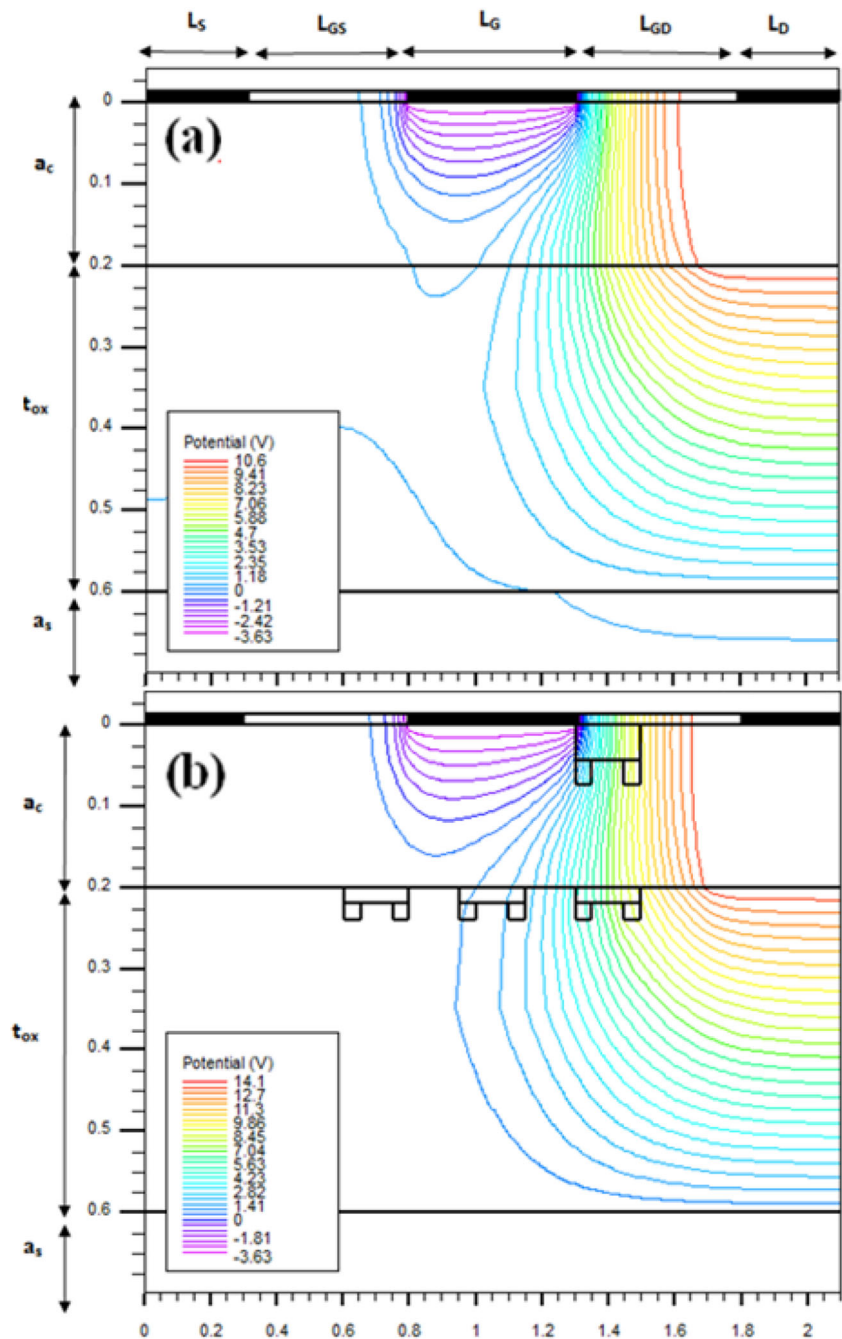
concentration at the level of the n-type II regions inserted into the buried oxide. In fact, these regions constitute a new drain, which facilitates the passage of the current in the channel.

## 4.2 Electric Field Distribution

The normalized distribution of the electric field along the surface, at the cut line AA' located at  $0.05 \mu\text{m}$  from the surface (Fig. 2a), is represented in Fig. 7 for the conventional SOI MESFET and the proposed multi-II SOI MESFET structure.

This distribution was obtained at drain bias,  $V_{DS}$ , of 10 V and a gate voltage,  $V_{GS}$ , of  $-3.25$  V. It is clear that for this fairly high drain voltage, the electric field in the channel is strongly nonlinear with a large peak occurring on the drain side, just below the gate limit. Moreover, we notice that for the proposed structure, this peak is lower than that of the conventional structure. The maximum electric field of the conventional structure reaches  $1.95 \cdot 10^6$  V/cm, whereas that of the proposed structure, it is equal to  $1.59 \cdot 10^6$  V/cm, corresponding to a reduction of 22.6%. This decrease in the electric field leads to an improvement in

**Fig. 9** Two-dimensional distribution of potential lines at  $V_{GS} = -3.25$  and  $V_{DS} = 10$  V for: (a) C-SOI MESFET and (b) multi-II SOI MESFET



the breakdown voltage and consequently to the enhancement of the performance of the device. It is well established that SOI MESFETs with high breakdown voltage are well suited for RF applications.

The distribution of the lines of electric field is represented in Fig. 8(a) for the C-SOI MESFET structure and Fig. 8(b) for the proposed multi-II SOI MESFET under the same previous polarization condition ( $V_{DS} = 10$  V and  $V_{GS} = -3.25$  V). It should be noted that the distribution of the electric field lines in the multi-II SOI MESFET proposed structure is much better than that of the conventional structure.

In fact, in the proposed structure, it is clear that both p-type Si II regions introduced in the BOX (centrally below the gate and on its right hand side) contribute greatly to the redistribution of the electric field through the new structure. Moreover, it can be seen that the breakdown voltage and the distribution of the electric field are strongly related: as the former increases

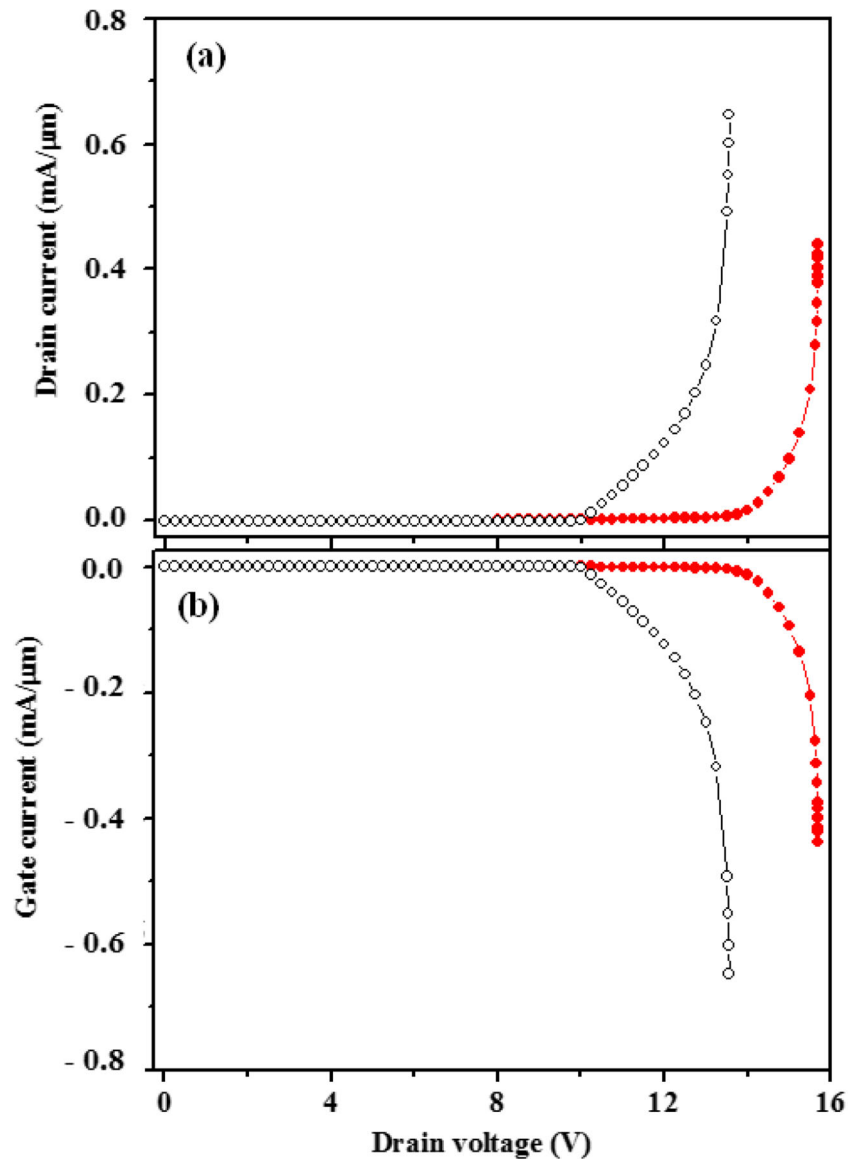
the electric field redistribution becomes more important in the device. This voltage is improved when the distribution of the electric field along the component becomes important.

Figures 9(a) and (b) illustrate the distributions of the two-dimensional potential lines of conventional and proposed structures, respectively. A better redistribution of the electric field lines is observed in the proposed structure, leading to a better arrangement of the potential lines at the edges of the gate on the drain side.

### 4.3 Breakdown Voltage

The determination of the breakdown voltage is essential for any network application. This parameter restricts the oscillation voltage of logic circuits and the power density of amplifiers [15]. Thus, its determination is of great importance for any MESFETs application. As the gate voltage approaches the

**Fig. 10** Breakdown characteristics for the proposed structure (●●●) and the C-SOI MESFET structure (○○○) at  $V_{GS} = -3.25$  V.



pinch voltage, the drain voltage increases to maintain the drain current constant. When the breakdown is reached both the drain voltage and the gate current begin to increase sharply thus leading to a breakdown of the gate junction by avalanche. Furthermore, the breakdown voltage in the SOI MESFETs transistors is controlled by the high electric field at the edge of the gate near the drain and the large accumulation of the field lines, which occurs at this level [16].

Therefore, the breakdown voltage is conditioned by: (i) a bias of the drain in the saturation regime (maximum current) and (ii) a bias of the gate just before pinching (minimum current). Hence, ideally, the  $V_{GS}$  should be higher than threshold voltage. Figure 10 represents the variations of the drain current (Fig. 10a) and gate-current (Fig. 10b) as a function of the drain voltage at a  $V_{GS}$  near to the pinch off, i.e.,  $V_{GS} = -3.25$  V. It can clearly be seen that both drain current and gate current curves exhibit a similar behavior: a saturation region followed by a region of rapid and simultaneous variation. Consequently, the onset of the variation change, termed as the breakdown voltage, does indeed occur under the effect of a high electric field, but not necessarily between the drain and the source (channel breakdown); it could result from that of the gate junction. Moreover, it can easily be deduced from Fig. 10 that the breakdown voltage, for both drain current occurs at  $V_{DS} = 10$  V and  $V_{DS} = 13.5$  V for C-SOI MESFET and the proposed multi-II SOI MESFET, respectively.

It should be noted that, for gate-current, the breakdown takes place at about the same value as that of drain-current. Thus, the proposed device would tolerate higher voltages compared to the conventional structure. Therefore, the enhancement of this breakdown voltage in the proposed structure corresponds to a 35% improvement; thus, favoring high power applications. In fact, when,  $V_{BR}$ , increases, higher polarization can be applied to the devices thus increasing the maximum operating frequency, and the maximum output power density. Therefore, the great importance of the present structure lies in the simultaneous improvement of both breakdown voltage and drain current; unlike other proposed structures for which the improvement in the breakdown voltage generally leads to a decrease in the drain current [5, 8].

To enrich this investigation, it is also important to evaluate and compare the output power density for both structures. The theoretical maximum output power density,  $P_{max}$ , is given by the following equation [17]:

$$P_{max} = \frac{I_{Dsat}(V_{BR} - V_{knee})}{8} \quad (6)$$

where  $I_{Dsat}$  is the saturation current, and  $V_{knee}$  is the knee voltage. Eq. (6) puts into evidence that an increase in breakdown voltage and drain current (which is the case of the presently proposed new structures) leads to an increase in  $P_{max}$ . In

order to quantify this behavior, we calculated from Eq. (6) the maximum output power density for both structures at  $V_{GS} = 0$  V. It was found that  $P_{max}$  takes the values of 0.133 W/mm and 0.205 W/mm for the conventional and the proposed structures, respectively. Hence, this corresponds to an improvement of about 54% of the maximum output power density in the proposed multi-II SOI MESFET structure.

#### 4.4 Capacitance-Frequency Characteristics

The evolution of the gate-drain,  $C_{GD}$ , and gate-source,  $C_{GS}$  capacitances with frequency in the range [1 MHz – 80 GHz], at  $V_{DS} = 8$  V, is illustrated in Figs. 11(a) and (b) for both proposed and conventional structures for two gate polarizations:  $V_{GS} = -0.5$  V (●, ○) and  $V_{GS} = 0$  V (■, □). It can be observed that the same behavior is obtained for both capacitances for all  $V_{GS}$  bias. Whereas, the  $C_{GS}$  and  $C_{GD}$  values obtained at  $V_{GS} = -0.5$  are different from those determined for  $V_{GS} = 0$  V.

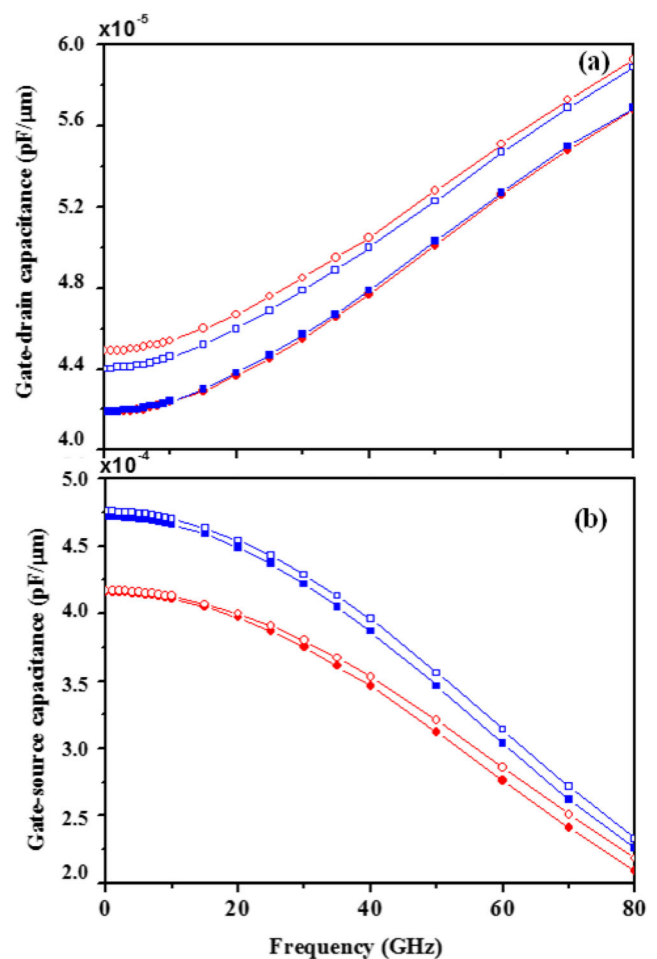


Fig. 11 Evolution of Capacitance: (a) gate-drain and (b) gate-source of the proposed structure (●, ■) and those of C-SOI MESFET (○, □) at  $V_{D} = 8$  V and  $V_{GS} = -0.5$  V (●, ○) and  $V_{GS} = 0$  V (■, □)

In Fig. 11(a) the gate-drain capacitance increases with frequency for both structures and both polarizations with lower values for the proposed multi-II SOI MESFET. In fact, the extension of the depletion zone is more pronounced on the drain side in the proposed structure. Moreover, the II shaped region on the drain side influences the extension of the depletion zone under the gate in the channel, which leads to a decrease in charge density and consequently in the gate-drain capacitance. This behavior is indicative of the improvement of the device RF characteristics such as: power gain and current gain [7].

In Fig. 11(b), the gate-source capacitance decreases as the frequency increases; this is the opposite variation to that of  $C_{GD}$  in Fig. 11(a). Moreover, this behavior is identical for both structures with just a small discrepancy in values not exceeding 4% that are lower in the proposed structure.

Moreover, the evolution of unilateral power gain as a function of frequency in the range [25 GHz – 55 GHz] is illustrated in Fig. 12 for the proposed structures and conventional one at  $V_{GS} = -0.5$  V and  $V_{DS} = 8$  V. It can be seen, that unilateral power gain of the proposed structure is significantly higher than that of the conventional one, particularly at low frequencies where the increase reaches 23.67% at  $f = 25$  GHz. Also, we noted a decrease in the minimum noise figure of 5.55% at a frequency of 45 GHz when the component operates at  $V_{GS} = -0.5$  V and  $V_{DS} = 8$  V. Thus, in a noisy environment, the proposed structure performs more reliably compared to the conventional SOI MESFET. However,

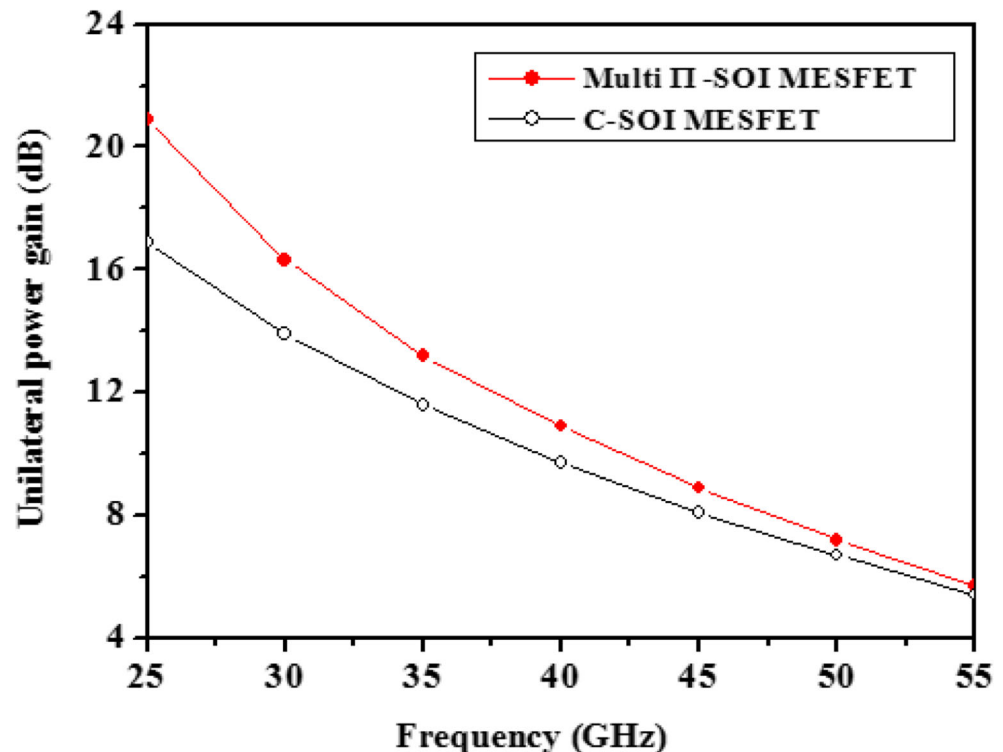
we did not notice a perceptible improvement in the other parameters: current gain and maximum available gain of both structures are practically identical.

## 5 Conclusions

The improvement of the DC and RF characteristics is obtained by the proposal of a new SOI-MESFET structure. To do this, we introduced (i) at the edge of the gate on the drain side a II-shaped region composed in its upper part of  $\text{Si}_3\text{N}_4$  and of p-type doped silicon in its lower parts and (ii) 3II shaped regions of n-type Si are introduced into the buried oxide. The most improvements of the obtained results for the proposed multi-II SOI MESFET structure are:

- A better redistribution of the electric field lines, leading to a decrease in the maximum electric field and consequently an improvement of about 35% in the breakdown voltage.
- An increase of approximately 23.5% in the drain current.
- An improvement of approximately 54% of the maximum output power density.
- A reduction in the gate–drain and gate–source capacitances with investigated frequencies up to 80 GHz.
- An increase in unilateral power gain of 23.67% at  $f = 25$  GHz
- A decrease in the minimum noise figure of 5.55% at  $f = 45$  GHz

**Fig. 12** Comparison of unilateral power for the proposed structure (●●●) and C-SOI MESFET structure (○○○) at  $V_{GS} = -0.5$  V and  $V_{DS} = 8$  V



These results are of great importance for the design of optimized devices in different application fields.

**Acknowledgments** This research work was supported by the DG-RSDT (MESRS), Algeria, under PRFU programs.

**Author Contributions** All authors contributed to the present research work. Structure design, methodology, and analysis were carried out by [A. Doghmane] and [Z. Hadjoub]. Data collection, numerical simulations, and presentation were performed by [L. Abid], [I. Hadjoub] and [N. E. Abdaoui]. All authors contributed to writing and approving the final version of the paper.

**Data Availability** The authors have all the relevant data associated with this research work and will be dedicated to share that, if will be asked to do so in future

## Declarations

**Competing Interest** The authors declare that they have no known competing interest or personal relationships that could have appeared to influence the work reported in this paper.

**Consent to Participate** All authors voluntarily agree to participate in this research study

**Consent for Publication** All authors of the manuscript mutually agree on submission and publication in the journal.

## References

- Rudenko TE, Nazarov AN, Lysenko VS (2020) The advancement of silicon-on-insulator(SOI) devices and their basic properties. *Semicond Phys Quantum Electron Optoelectron* 23(3):227–252. <https://doi.org/10.15407/spqeo23.03.227>
- Amiri IS, Mohammadi H (2019) Device Physics, Modeling, technology, and analysis for silicon MESFET. Springer Nat Switz AG. <https://doi.org/10.1007/978-3-030-04513-5>
- Mahrous H, Fedawy M, El Mona S, Fikry W, Gad M (2019) Design of a 90 GHz SOI fin electro-optic modulator for high-speed applications. *Appl Sci* 9:4917. <https://doi.org/10.3390/app9224917>
- Zhang W, Li L, Qiao M, Zhan Z, Cheng Sh, Zhang S, He B, Luo X, Li Z, Zhang B (2019) Novel high voltage ultra-thin SOI-LDMOS with sectional linearly doped drift region. *IEEE Electron Device Lett* 40(7):1151–1154. <https://doi.org/10.1109/LED.2019.2919074>
- Naderi A, Heirani F (2017) Improvement in the performance of SOI-MESFETs by T-shaped oxide part at channel region: DC and RF Characteristics. *Superlattice Microst* 111:1022–1033. <https://doi.org/10.1016/j.spmi.2017.07.058>
- Anvarifard MK (2016) Increase in the scattering of electric field lines in a new high voltage SOI MESFET. *Superlattice Microst* 97: 15–27. <https://doi.org/10.1016/j.spmi.2016.06.005>
- Naderi A, Mohammadi H (2018) High breakdown voltage and high driving current in a novel silicon-on-insulator MESFET with high- and low-resistance boxes in the drift region. *Eur Phys J Plus* 133(6): 1–10. <https://doi.org/10.1140/epjp/i2018-12047-5>
- Anvarifard MK (2016) Symmetrical SOI MESFET with a dual cavity region (DCR-SOI MESFET) to promote high-voltage and radio frequency performances. *Superlattice Microst* 98:492–503. <https://doi.org/10.1016/j.spmi.2016.09.003>
- Ervin J, Balijepalli A, Joshi P, Kushner V, Yang J, Thornton TJ (2006) CMOS-compatible SOI MESFETs with high breakdown voltage. *IEEE Trans Electron Devices* 53:3129–3135. <https://doi.org/10.1109/TED.2006.885530>
- Mohtaram M, Orouji AA, Ramezani Z, Keighobadi D (2021) Physical analysis on the DC and RF operations of a novel SOI-MESFET with protruded gate and dual wells. *Silicon*. <https://doi.org/10.1007/s12633-021-01174-5>
- Balijepalli A, Ervin J, Joshi P, Yang J, Cao Y, Thornton TJ (2006) High voltage CMOS compatible SOI MESFET characterization and spice model extraction. *IEEE MTT-S International Microwave Symposium Digest*, 1335–1338. <https://doi.org/10.1109/MWSYM.2006.249495>
- Atlas (2012) User's Manual: 2-D Device Simulator, Santa Clara, CA, USA
- Badgujjar S, Wadhwa G, Singh S, Raj B (2020) Design and analysis of dual source vertical tunnel field effect transistor for high performance. *Trans Electr Electron Mater* 21:74–82. <https://doi.org/10.1007/s42341-019-00154-2>
- Sze SM, Ng KK (2007) Physics of semiconductor devices, 3rd edn. Wiley, Hoboken. <https://doi.org/10.1002/0470068329>
- Aggarwal RL, Ramdas AK (2019) Physical properties of Daiamand and Ssapphire. CRC Press, Boca Raton. <https://doi.org/10.1201/9780429283260>
- Lepkowski W, Wilk SJ, Parsi A, Saraniti M, Ferry D, Thornton TJ (2014) Avalanche breakdown in SOI MESFETs. *Solid State Electron* 91:78–80. <https://doi.org/10.1016/j.sse.2013.10.003>
- Dal Fabbro PA, Kayal M (2010) Linear CMOS RF power amplifiers for wireless applications. Springer, Dordrecht. <https://doi.org/10.1007/978-90-481-9361-5>

**Publisher's Note** Springer Nature remains neutral with regard to jurisdictional claims in published maps and institutional affiliations.